

Probl3

TLP & DLP

Arquitectura e Ingeniería de
Computadores

Valentin Puente



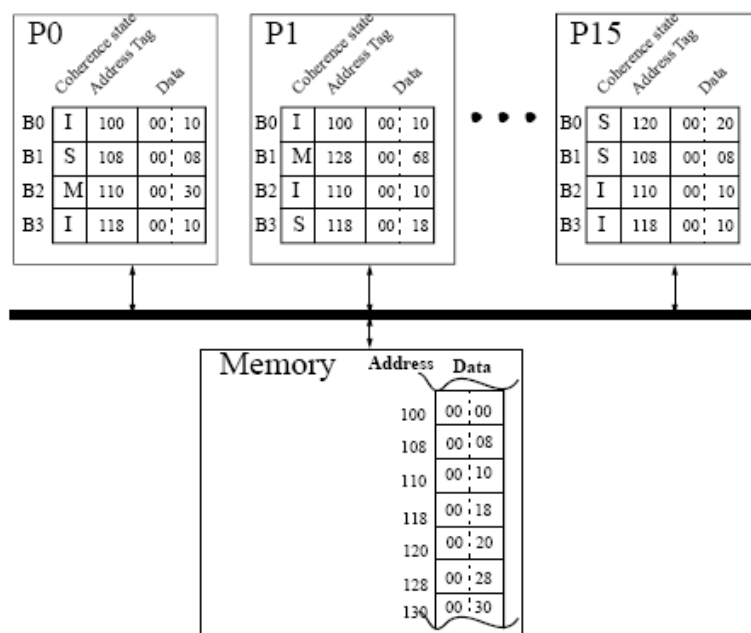
10

1 MULTIPROCESADOR BASADO EN BUS

Dado el sistema multiprocesador representado en la figura siguiente, donde cada procesador tiene una única cache privada y donde se emplea un protocolo de coherencia MSI basado en bus similar al visto en clase. Las caches son de mapeo directo con 2 palabras por bloque. Para simplificar la ilustración los tags incluyen la dirección completa del bloque.

¿Cuál es el estado final de la cache y la memoria después de cada una de las siguientes operaciones¹?

- i. P15: read @118
- ii. P15: write @118 ← 80
- iii. P0: read @128
- iv. P1: write @108 ← 80
- v. P0: write @108 ← 80



¹ La notación empleada es **P#: operación @dirección [←valor]**, donde P# es el procesador que inicia la operación.

2 MULTIPROCESADOR BASADO EN BUS 2

Repetir el problema anterior en el caso de disponer un protocolo de cohercia cache con estado Exclusivo

3 MULTIPROCESADOR BASADO EN DIRECTORIO

Dado el multiprocesador representado en la Ilustración 1 asumiendo que el contenido de cada cache y la memoria es el indicado. Cada parte de este ejercicio emplea la misma notación que en el ejercicio anterior

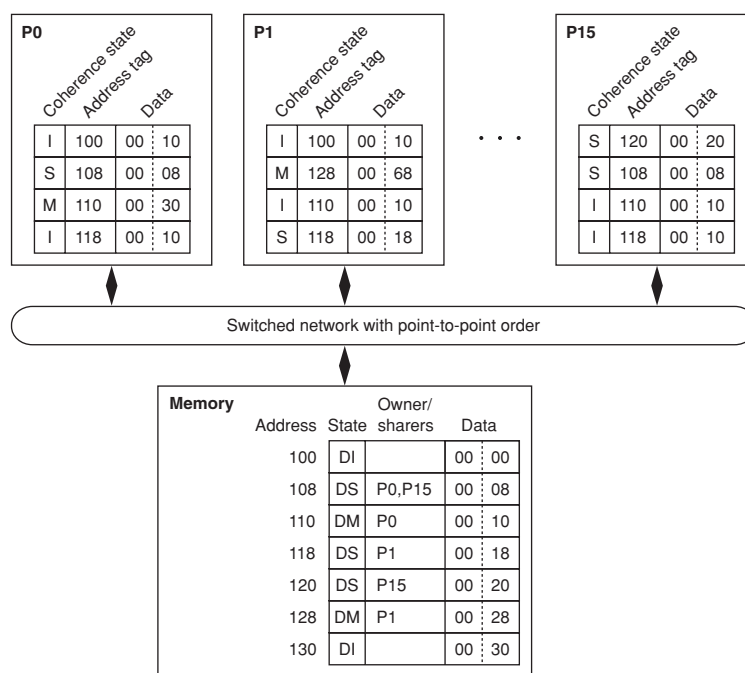


Ilustración 1 Multiprocesador con coherencia basada en directorio

¿Cuál es el estado final (incluyendo estado de coherencia, tags y datos) de las caches y la memoria después que cada una de las siguientes secuencias de operaciones en memoria se ejecutan? Indicar también cual es el valor retornado en las operaciones de lectura.

- vi. P0: read @100
- vii. P0: read @128
- viii. P0: write @128 ← 78
- ix. P0: read @120

- x. P0: read @120
P1: read @120
- xi. P0: read @120
P1: write @120 <-- 78
- xii. P0: write @120 <-- 78
P1: read @120
- xiii. P0: write @120 <-- 78
P1: write @120 <-- 90

4 MULTIPROCESADOR BASADO EN DIRECTORIO 2

Para el mismo sistema del ejercicio anterior, suponer que todas las caches no mostradas tienen los bloques en estado inválido. Para cada una de las operaciones posteriores, ¿Qué procesadores reciben cada petición o invalidación?

- i. P0: write @100 <--80
- ii. P0: write @108 <--88
- iii. P0: write @118 <--90
- iv. P1: write @128 <--98

5 MULTIPROCESADOR BASADO EN DIRECTORIO 3

Repetir el problema 1 si el protocolo de coherencia incluyese emplease también el estado E. ¿Crees que es factible hacerlo?

6 VECTORIALES

Dado el siguiente código, y suponiendo que los vectores A, B, C son flotantes de simple precisión. La arquitectura donde se pretende ejecutar el código dispone de multiplicadores en punto flotante de 5 ciclos segmentados y los sumadores de 2 ciclos también segmentados. Suponer que la tasa de aciertos en las caches de primer nivel es del 100%.

```
for (I=0; I<100;I++)  
    C(I)=A(I)*B(I);  
    C(I)=C(I)+2.0;
```

- i. ¿Cuál es el speedup máximo que obtendríamos en un procesador segmentado si lo dotáramos con una unidad vectorial con adelantamiento, MVL=4, un banco de registros vectorial con capacidad para 4 registros y con una Lane? Propón las transformaciones en alto nivel previas que consideres oportunas para maximizar el rendimiento del programa.
- ii. ¿Cómo cambiaría el speedup al doblar el tamaño del MVL?
- iii. ¿Cómo cambiaría el speedup si empleásemos 2 *lanes* en lugar de una?