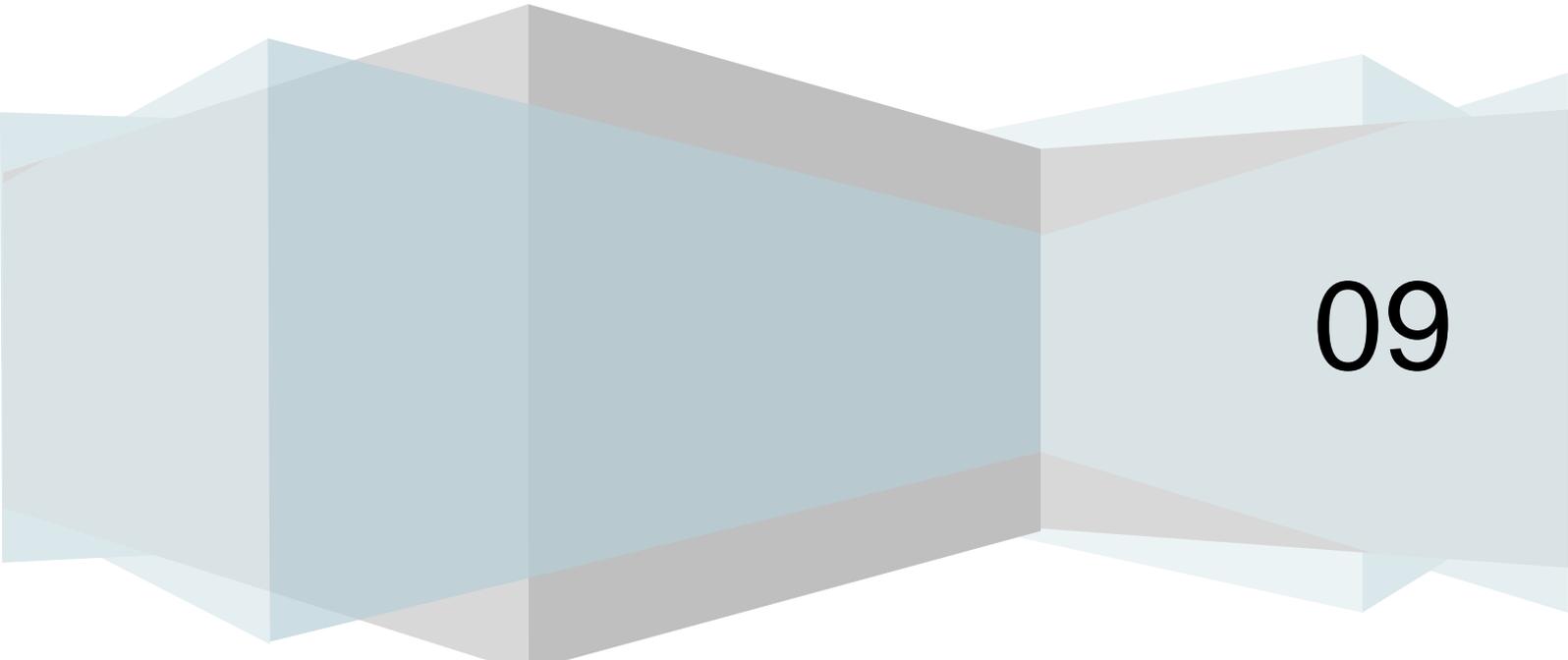


Prob1

Jerarquía de Memoria

Problemas de Arquitectura e
Ingeniería de Computadores

Valentin Puente



09

1 CACHES

Estas construyendo un sistema basado en un procesador en orden a 2GHz y que para un benchmark en particular, con 20% de loads y 5% de stores, con cache ideal se obtiene un CPI de 0.7.

El sistema tiene una cache L1 dividida para datos e instrucciones siendo ambas de mapeo directo y con 32KB. El *miss rate* de I\$ es 2% y para D\$ del 5%. El tamaño de línea en I\$ es 16bytes y para D\$ 32 bytes. Existe un buffer de escritura en D\$ que no está lleno en el 95% de las ocasiones. El tiempo de acceso en ambas es de 1 ciclo de procesador.

L2 es unificada para datos e instrucciones con una capacidad para 512KB con 15ns de tiempo de acceso. Está conectada a L1 por un bus síncrono a 266Mhz de 128bits. El 80% todas de las referencias lanzadas sobre L2 son satisfechas. La cache es *write-back* y en el 50% los bloques reemplazados están *dirty*.

La memoria tiene un tiempo de acceso de 60ns con un bus síncrono de 133Mhz y 128 bits de anchura.

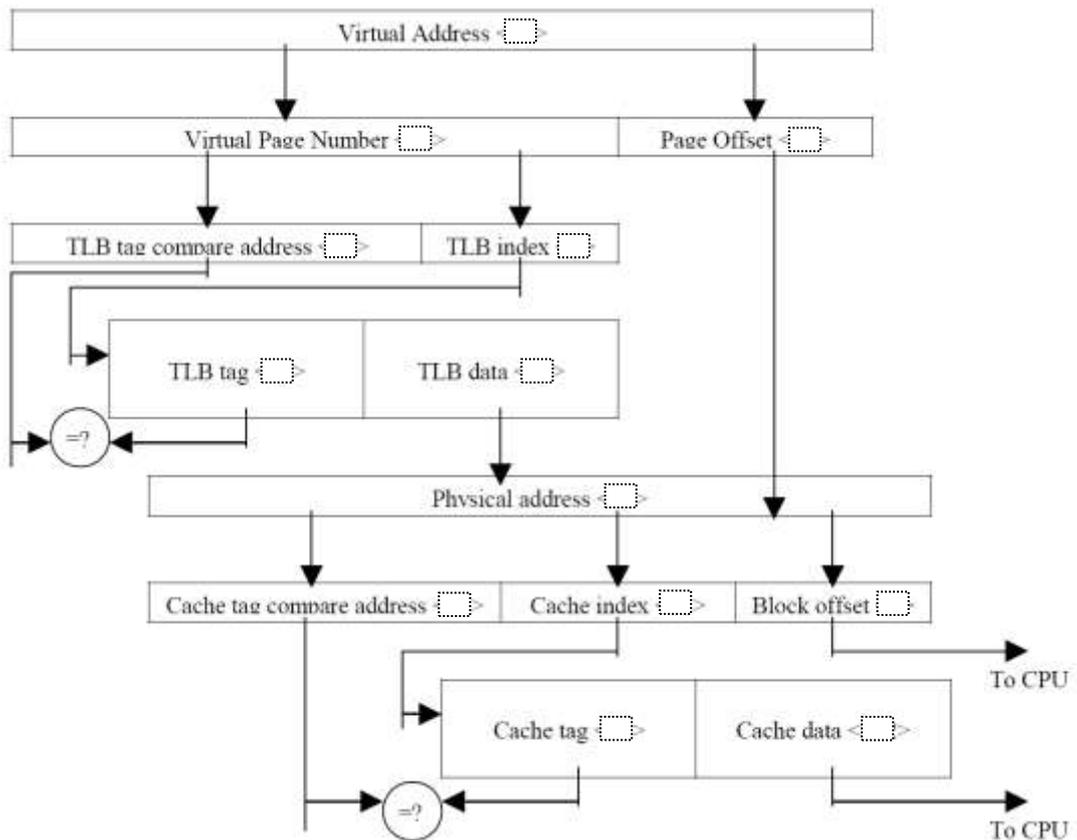
- i) ¿Cuál es el tiempo promedio de acceso para las instrucciones?
- ii) ¿Cuál es el tiempo promedio de acceso para la lectura de datos?
- iii) ¿Cuál es el tiempo promedio de acceso para la escritura de datos?
- iv) ¿Cuál es el CPI del sistema?
- v) Te estás planteando la substitución del procesador inicial por otro que arquitecturalmente es igual pero es a 3Ghz. ¿Cuánto es el beneficio de emplear el nuevo procesador? Asume que las caches de primer nivel siguen teniendo 1 ciclo de tiempo de acceso.

2 MEMORIA VIRTUAL I

Considerar un sistema de memoria virtual con las siguientes propiedades:

- 53 bit direcciones virtuales (direccionable al byte)
- Páginas de 4-KByte
- 41-bit direcciones físicas (direccionable al byte)
- Tamaño de bloque de 64 bytes
- 64GBytes de memoria física

- 2-MByte cache asociativa por conjuntos de 8-vias y direccionable físicamente
 - TLB de 64 Entradas.
- i) ¿Cuál es el tamaño de la tabla de páginas para cada proceso del sistema, asumiendo que hay 4 bits para indicar validez, protección, etc...?. Suponer que todas las páginas virtuales están en uso. Suponer que las direcciones de disco no se almacenaran en la tabla de páginas.
 - ii) Completar el siguiente diagrama indicando los tamaños correspondientes a cada dirección.
 - iii) Explicar cuál es el comportamiento del sistema en las diferentes combinaciones de los siguientes eventos: cache hit, cache miss, TLB hit, and TLB miss.



3 MEMORIA VIRTUAL II

El procesador Alpha 21264 usa direccionamiento virtual en la cache de instrucciones de primer nivel eliminado de este modo el TLB del camino crítico de la etapa de FETCH. El uso de esta solución puede introducir problemas en el sistema:

- i) El 21264 elimina los problemas de alias comprobando las 8 posibles posiciones antes de escribir el bloque. Otros sistemas emplean colorado de páginas con el mismo objetivo. ¿Crees que es estrictamente necesario hacerlo para las instrucciones?
- ii) ¿Por qué las caches con tag virtual requieren más espacio que las caches con direccionamiento real?
- iii) Cuantificar cuanto es el overread en espacio para las caches para un sistema de 64-bits con identificadores de proceso de 8 bits y una arquitectura de placa base con soporte hasta 64GB.
- iv) ¿Cómo varía el overread con diferentes tamaños de bloque de cache?