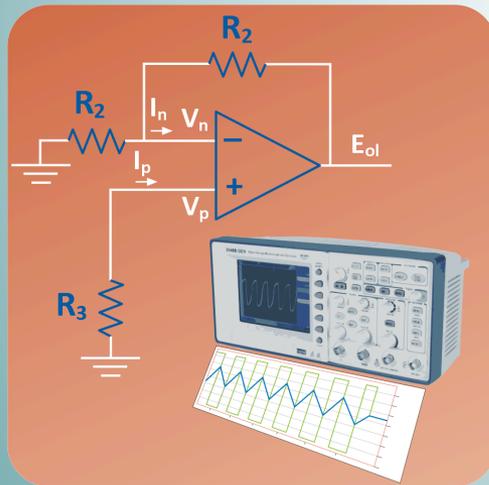


Electrónica Básica

Tema C.2. Circuitos Lógicos CMOS



Gustavo A. Ruiz Robredo
Juan A. Michell Martín

DPTO. DE ELECTRÓNICA Y COMPUTADORES

Este tema se publica bajo Licencia:

[Creative Commons BY-NC-SA 3.0](https://creativecommons.org/licenses/by-nc-sa/3.0/)

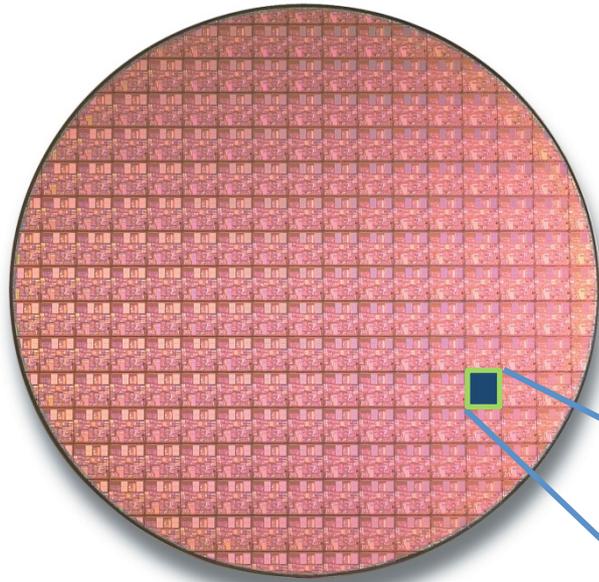


Tecnología CMOS y VLSI

- El principio básico sobre el que opera el MOS fue propuesto en **1925** por J. Lilienfeld.
- Los primeros intentos de desarrollar el MOS condujeron a la invención del transistor bipolar.
- La **primera calculadora MOS** fue introducida en 1965.
- El uso de transistores PMOS y NMOS operando sobre el mismo substrato fue inventado por **P.K. Weimer** en los laboratorios de la RCA sobre 1960. Patente US 3191061.
- Frank Wanlass (Fairchild Semiconductor Research) presentó una patente en 1967 que cubría el **concepto CMOS** y tres circuitos, inversor, puerta NAND y NOR.
- El primer inversor MOS disipaba **nanowatios** en comparación de los miliwatios de la puerta equivalente bipolar.

■ Evolución de la microelectrónica

1947	1950	1961	1966	1971	1980	1985	1990	2000
Invencción del transistor	Primeros componentes discretos	SSI Small-Scale Integration	MSI Medium-Scale Integration	LSI Large-Scale Integration	VLSI Very Large-Scale Integration	ULSI Ultra Large-Scale Integration	GSI Giant-Scale Integration	
1 Trans.	1 Trans.	10 Trans.	100-1k	1k-20k	20k-500k	> 500k	> 10M	
	Transistor de unión y diodo	Dispositivos planares. Puertas lógicas. Flip-Flops	Contadores. Multiplexores. Sumadores	Micro-procesador 8 bit. ROM RAM	Micro-procesador 16 y 32 bit. Periféricos.	Procesadores especiales. Procesado de imagen real.		

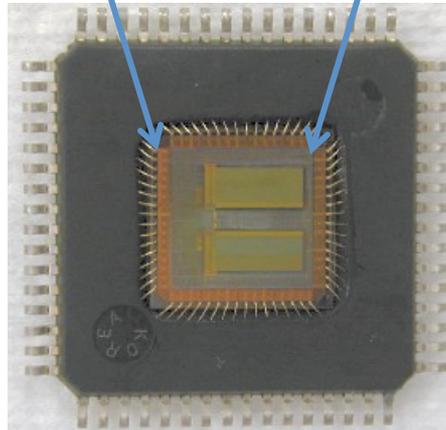


Oblea (*wafer*)

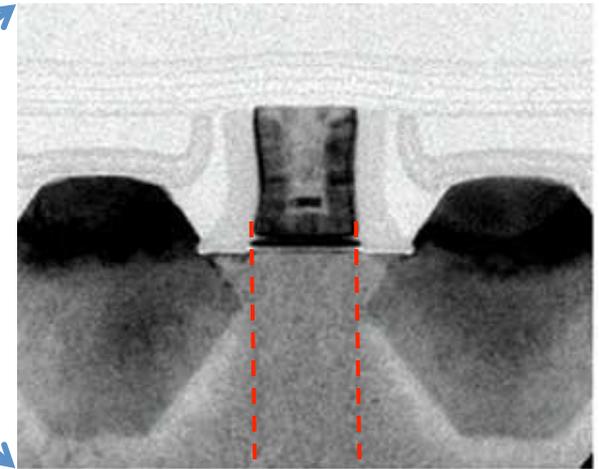
Circuito integrado (*Chip*)



Encapsulado (*package*)

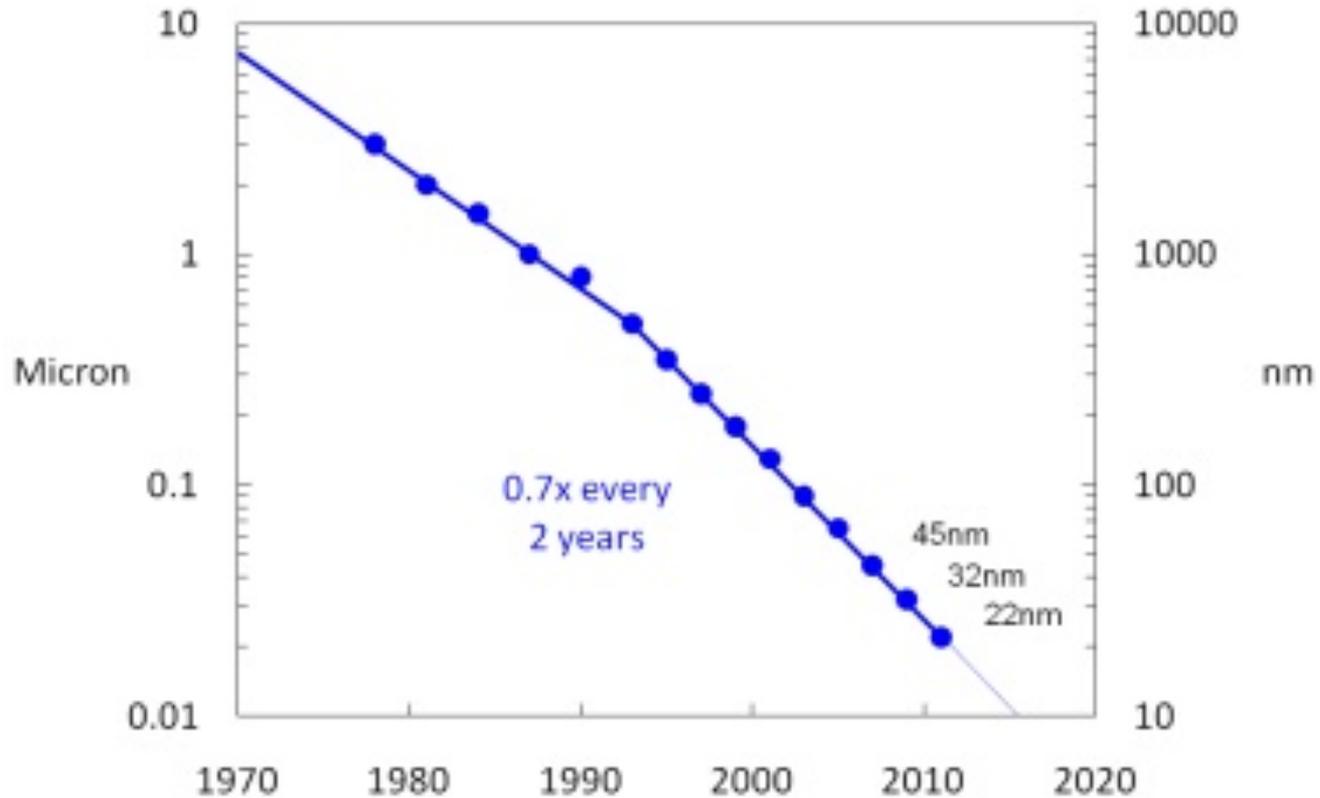


Microfotografía de un transistor MOS

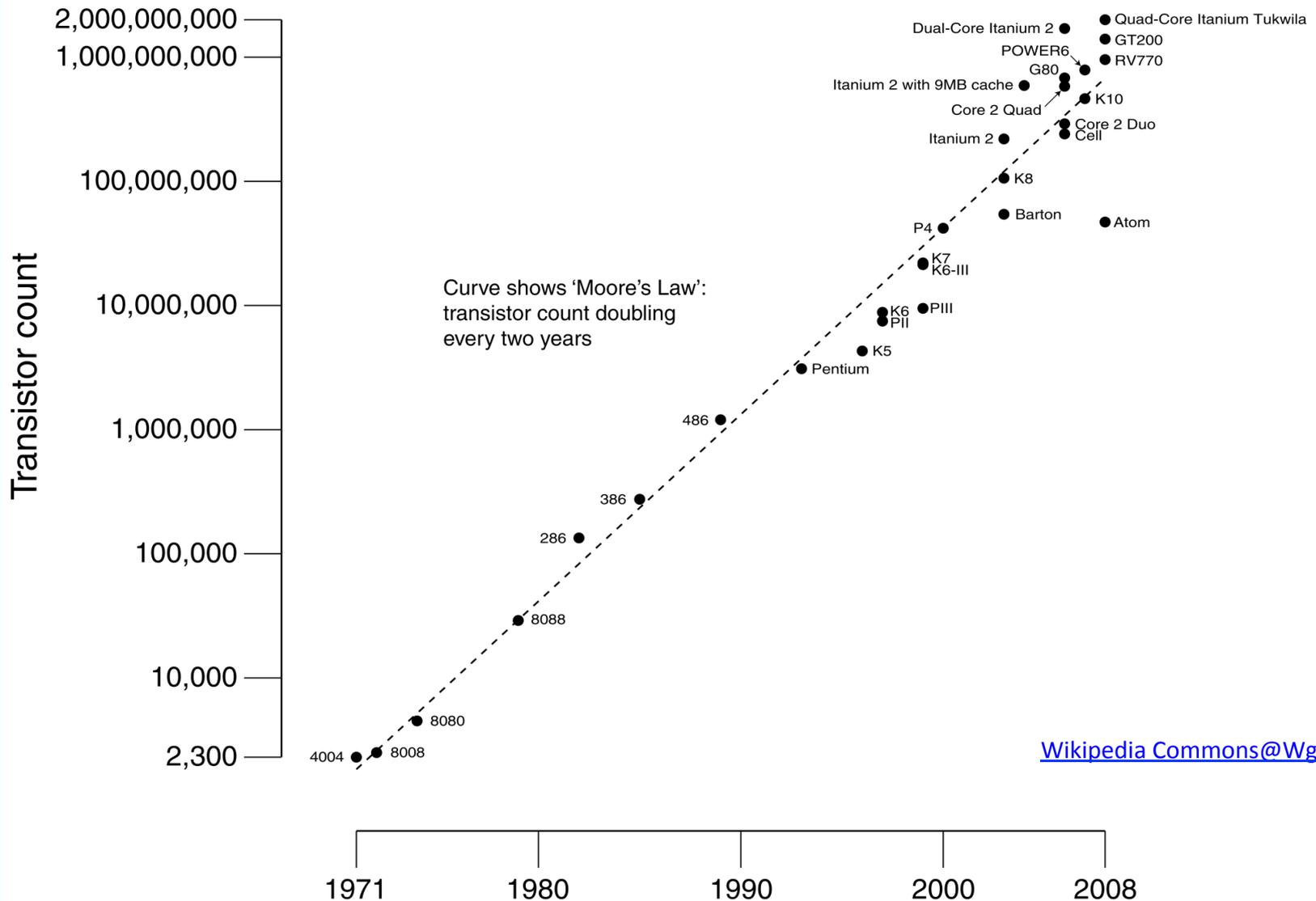


Tecnología definida por la longitud de la puerta del transistor.

- Evolución en el escalado en las dimensiones del transistor (longitud de la puerta del transistor).



➤ La Ley de Moore estima que cada 18 meses se duplica el número de transistores en un circuito integrado (Gordon E. Moore, 1965).

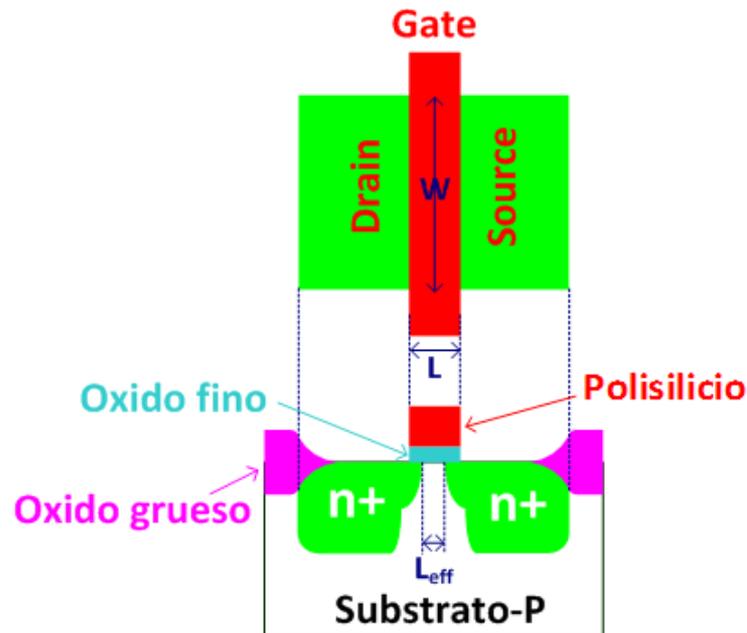
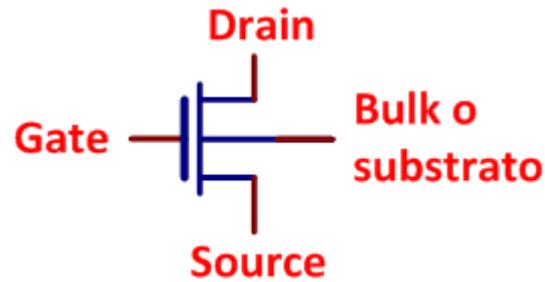


[Wikipedia Commons@Wgsimon](#)

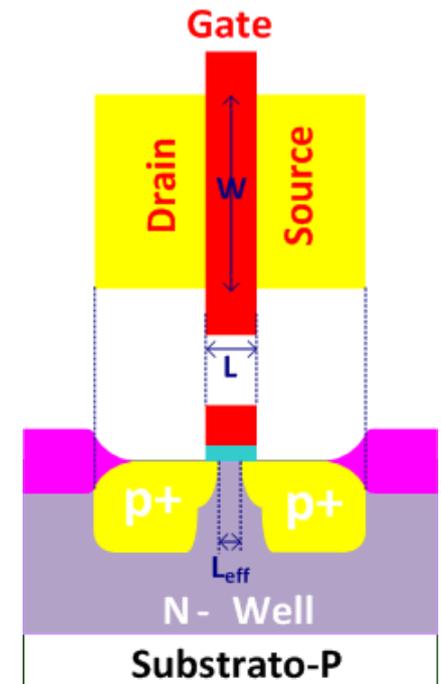
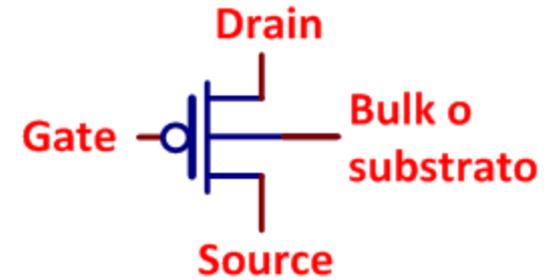
Transistor MOS

■ Layout

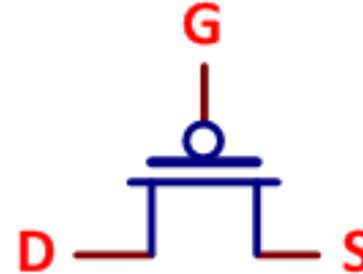
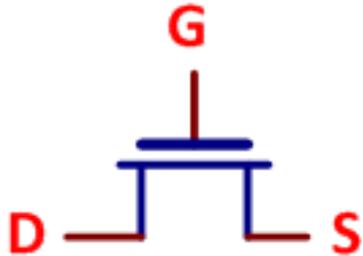
NMOS



PMOS



■ Modelo llave (switch) del transistor MOS



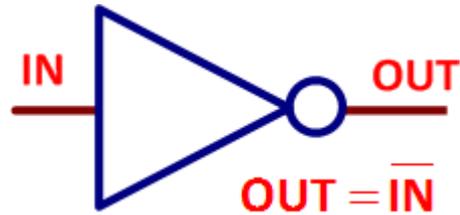
NMOS



PMOS

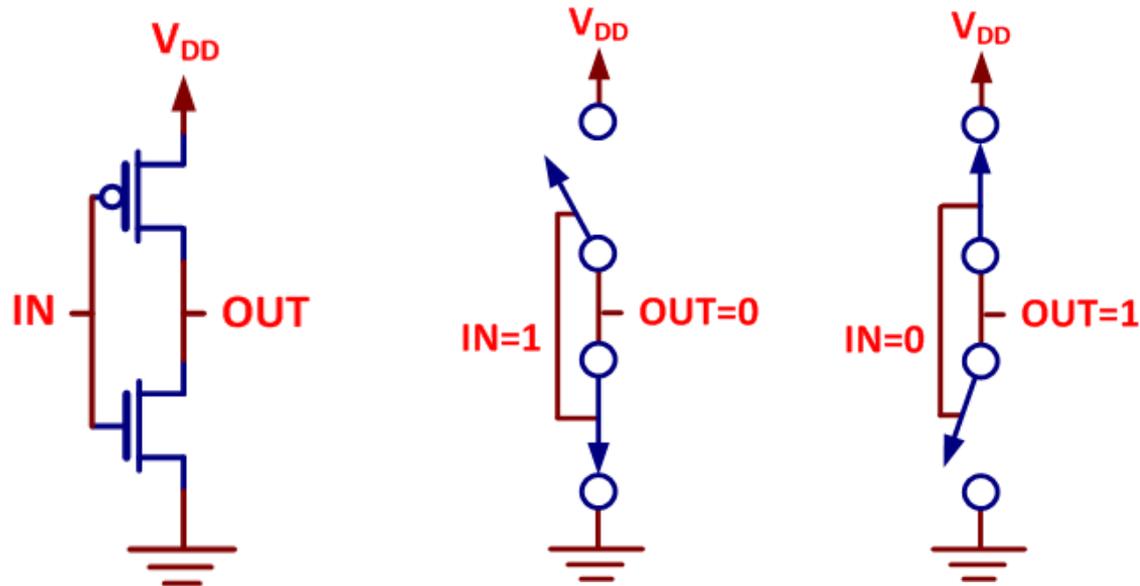
Inversor CMOS

- Símbolo y tabla de verdad



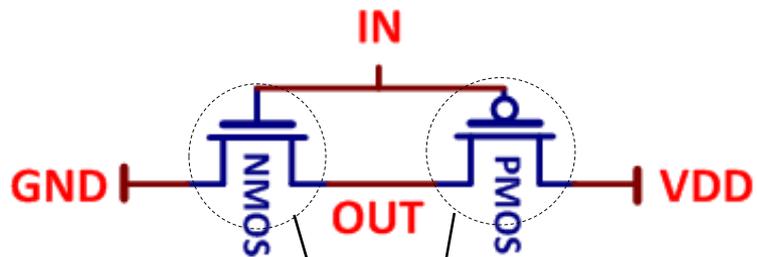
IN	OUT
1	0
0	1

- Esquemático

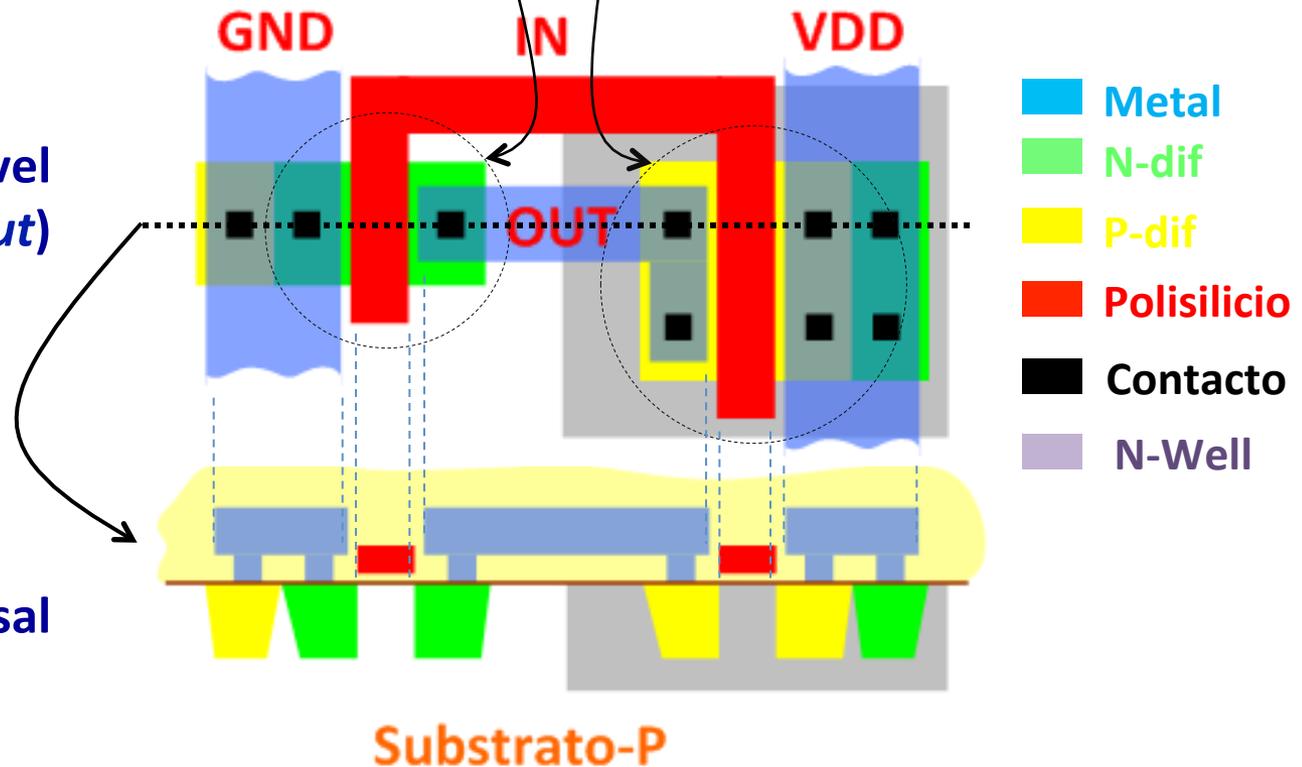


Layout de un inversor

Esquemático de un inversor CMOS

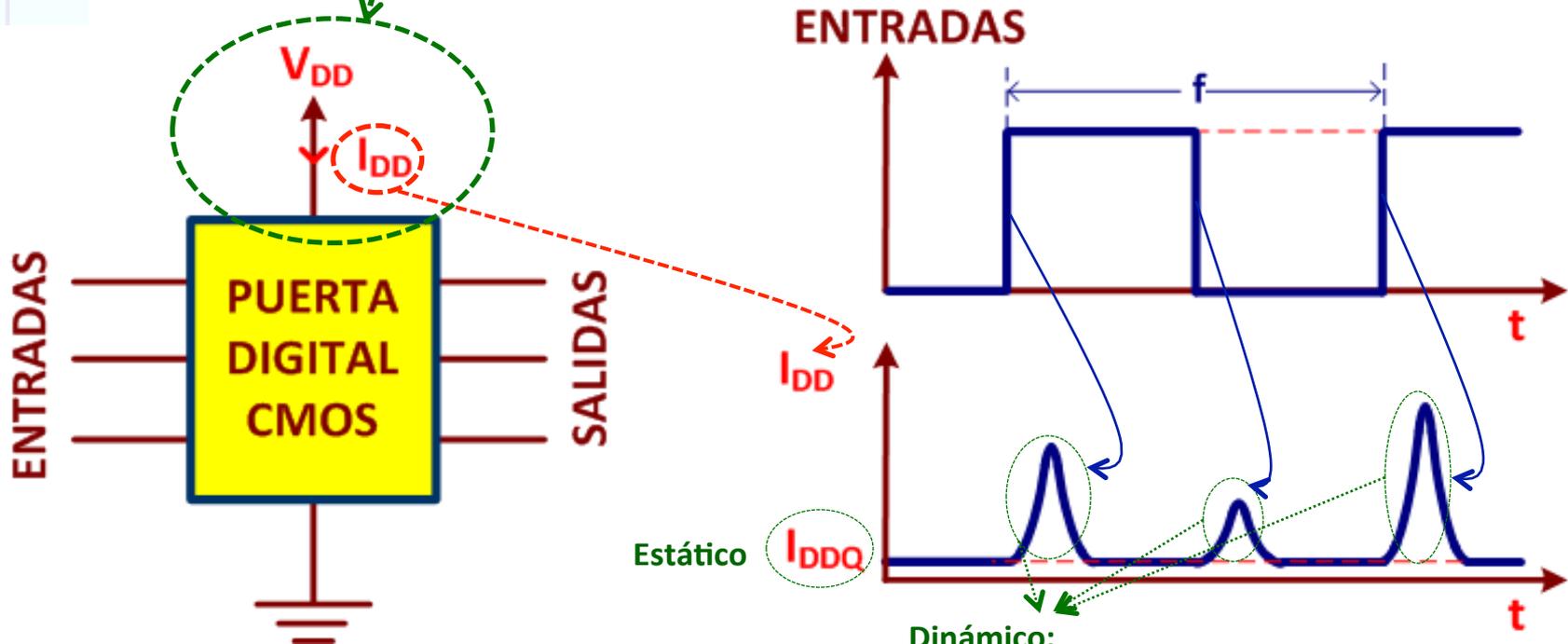


Descripción a nivel de máscara (*layout*)



Corte transversal

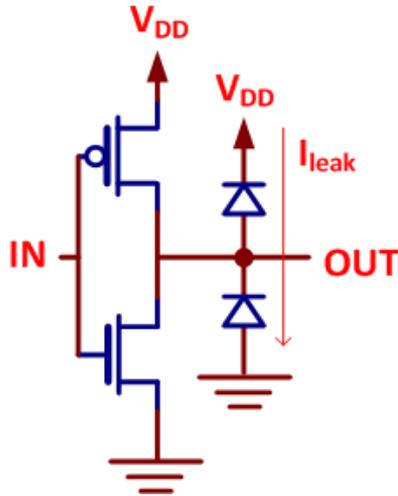
■ Consumo de potencia



Dinámico:

- Debido a cambios en la tensión de salida.
- Variable con el número de puertas que conmutan.

➤ Consumo estático (P_S)

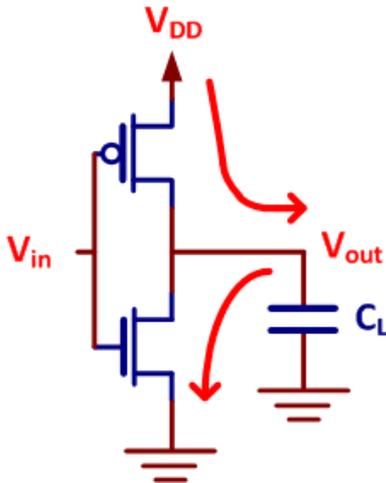


El consumo estático de corriente en puertas lógicas CMOS es debido a las **corrientes de fuga** (I_{leak}) de los dispositivos.

$$P_S = \sum_{i=1}^n (I_{leak})_i V_{DD}$$

donde n es el número de dispositivos.

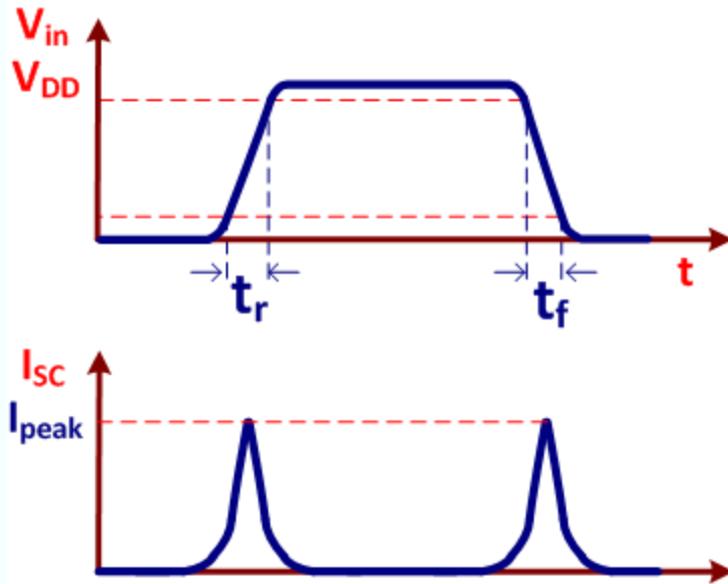
➤ Consumo dinámico por conmutación (*switching*)



En el caso de que $t_r/t_f \ll$ frecuencia de conmutación de la puerta (f), entonces la energía requerida (P_D) por una puerta para cargar y descargar la capacidad de salida (C_L) es

$$P_D = V_{DD}^2 C_L f$$

➤ Consumo dinámico por cortocircuito (short-circuit)



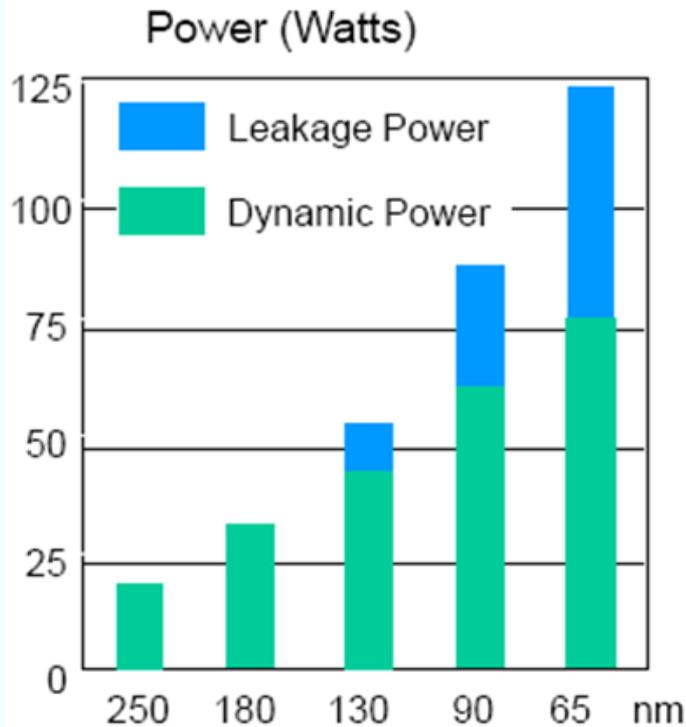
Cuando las señales de entrada tienen un valor significativo de t_r y t_f , existe un periodo corto de tiempo en el cual los transistores NMOS y PMOS conducen simultáneamente. Entonces se produce un consumo de corriente (I_{sc}) que origina una disipación de potencia definida por:

$$P_{SC} = V_{DD} I_{peak} \frac{t_r + t_f}{2} f \approx \frac{\beta}{12} (V_{DD} - 2V_T)^3 \frac{t_r + t_f}{2} f$$

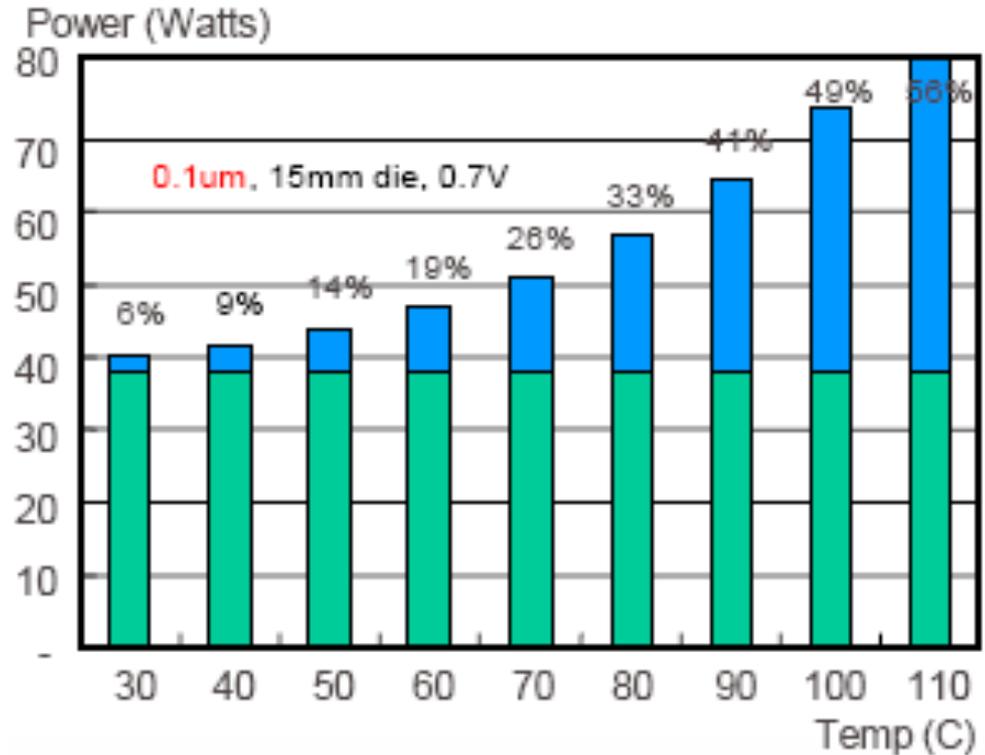
➤ Consumo de potencia total

$$P_S = \underbrace{P_S}_{\text{Estático}} + \underbrace{P_D + P_{SC}}_{\text{Dinámico}}$$

➤ **Evolución del consumo de potencia con la tecnología**



Relación entre el consumo estático y dinámico de potencia con la tecnología.



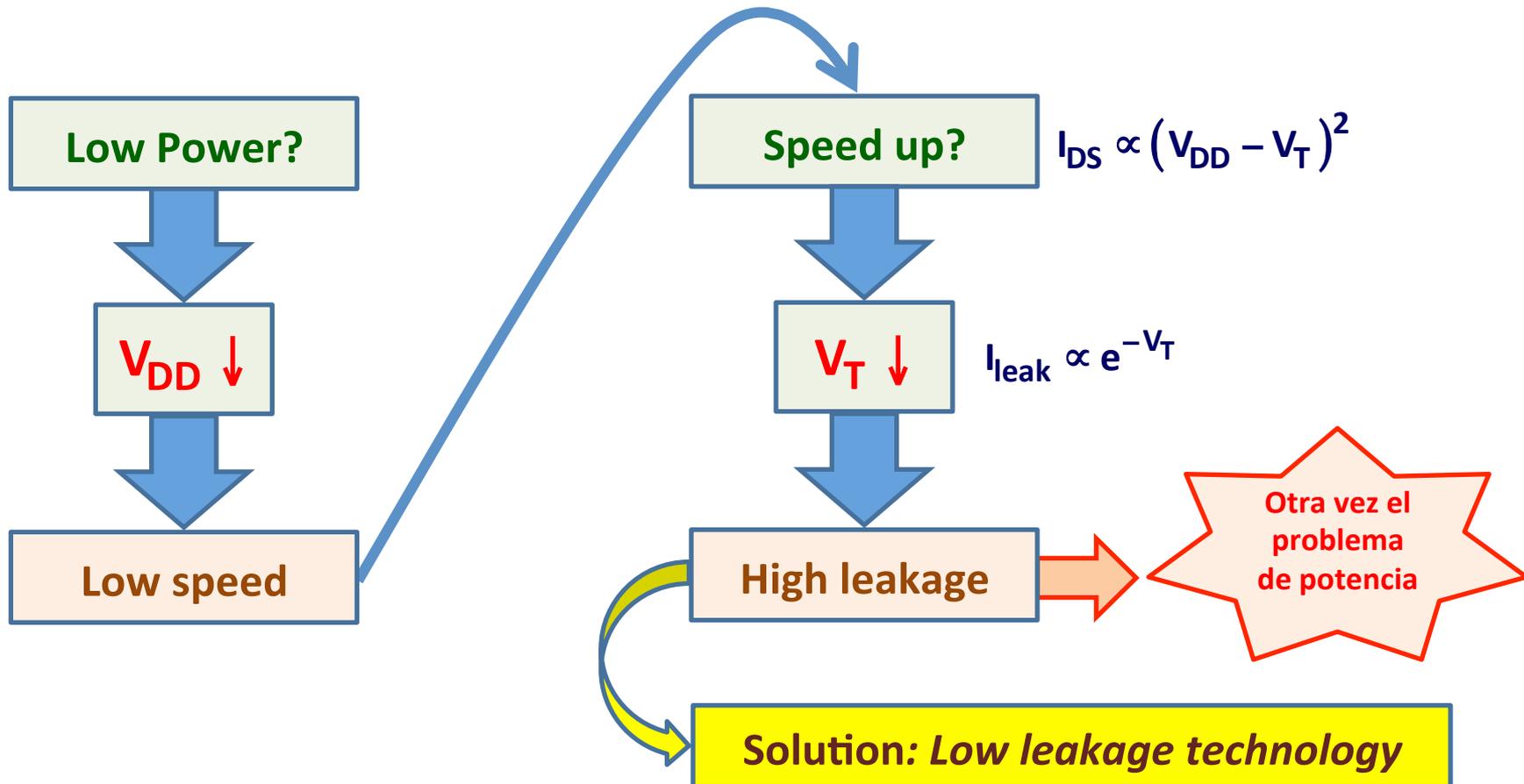
Relación entre el consumo estático y dinámico de potencia con la temperatura.

Fuente: IDESA - IC Design Skills for Advanced DSM Technologies

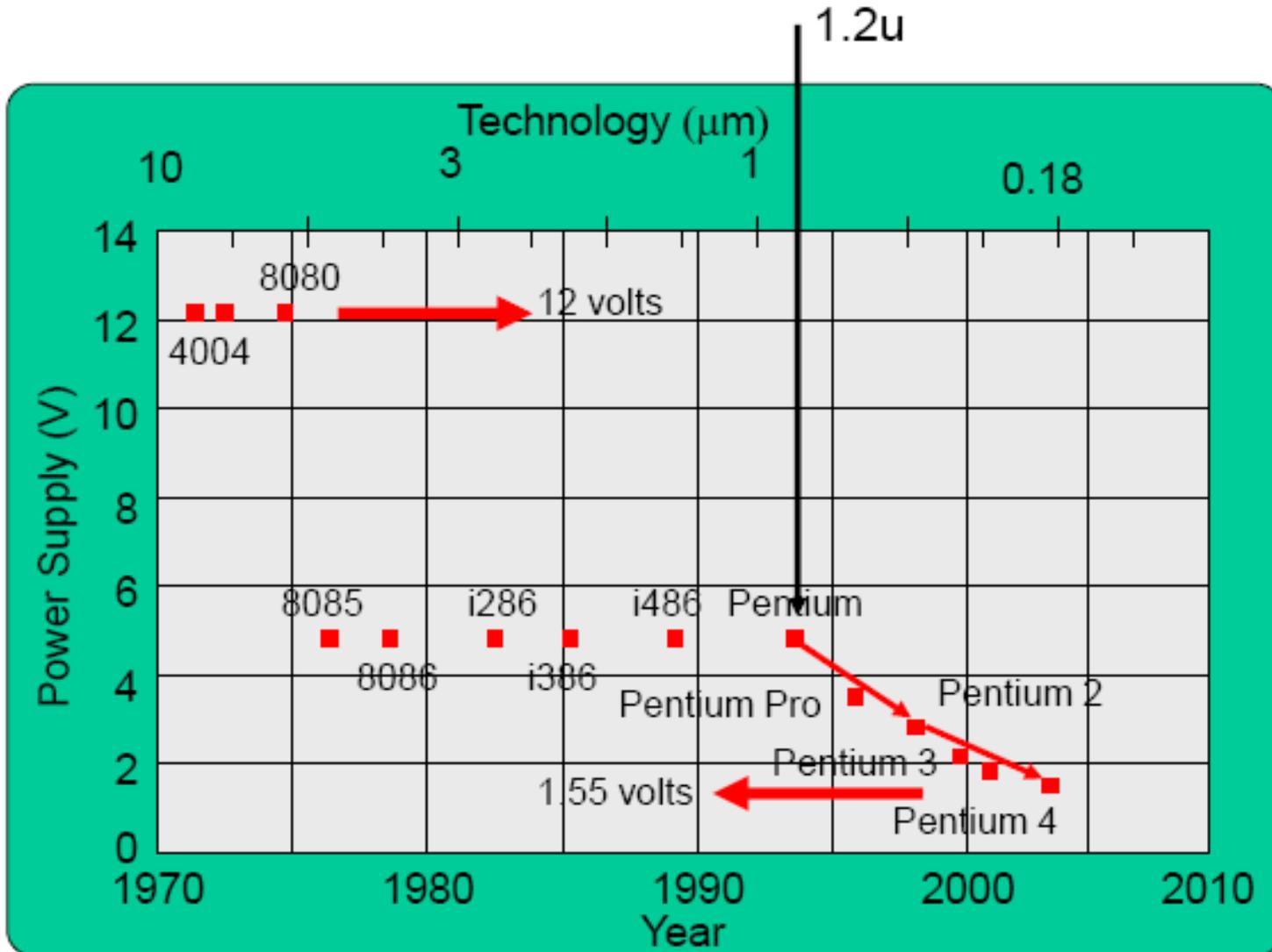
➤ Tecnología de bajo consumo de potencia (*low-power technology*)

$P \propto V_{DD}^2 \Rightarrow$ Disminución de potencia $V_{DD} \downarrow$

Pero, $t_p \propto 1 / V_{DD} \Rightarrow$ frecuencia de operación \downarrow



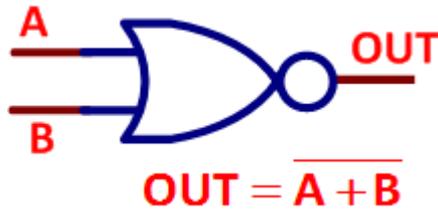
➤ Evolución de la tensión de alimentación en los procesadores



Fuente: IDESA - IC Design Skills for Advanced DSM Technologies

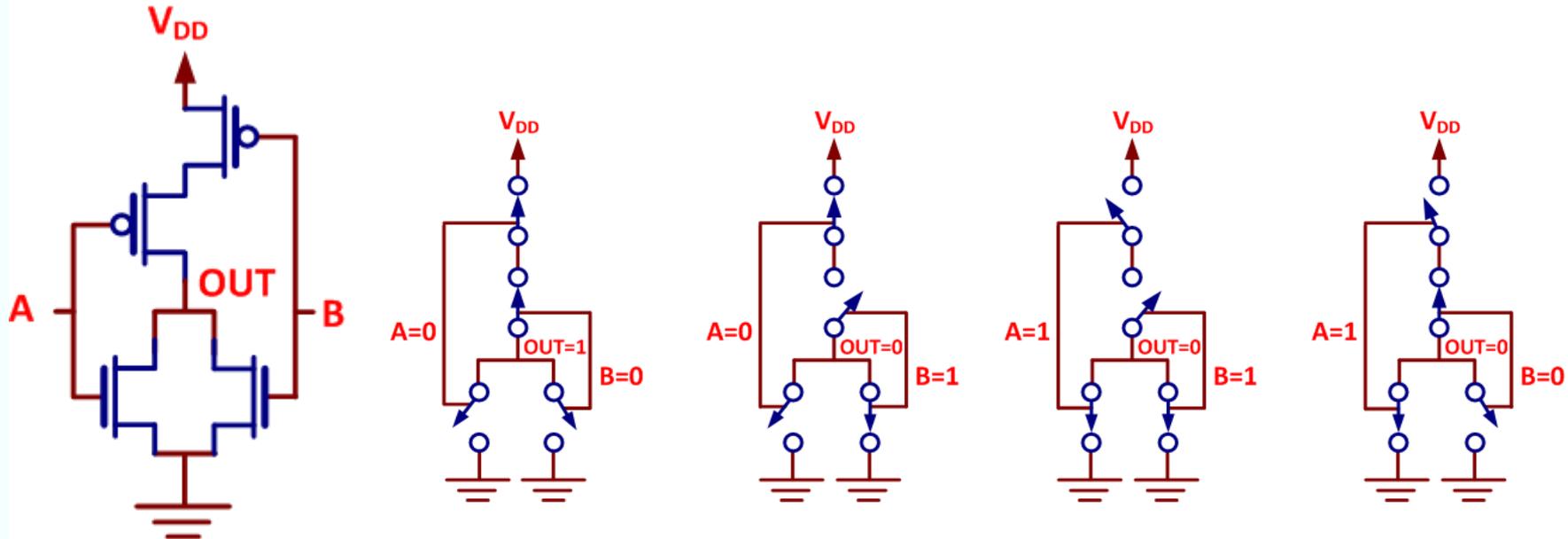
Puerta NOR CMOS

➤ Símbolo y tabla de verdad

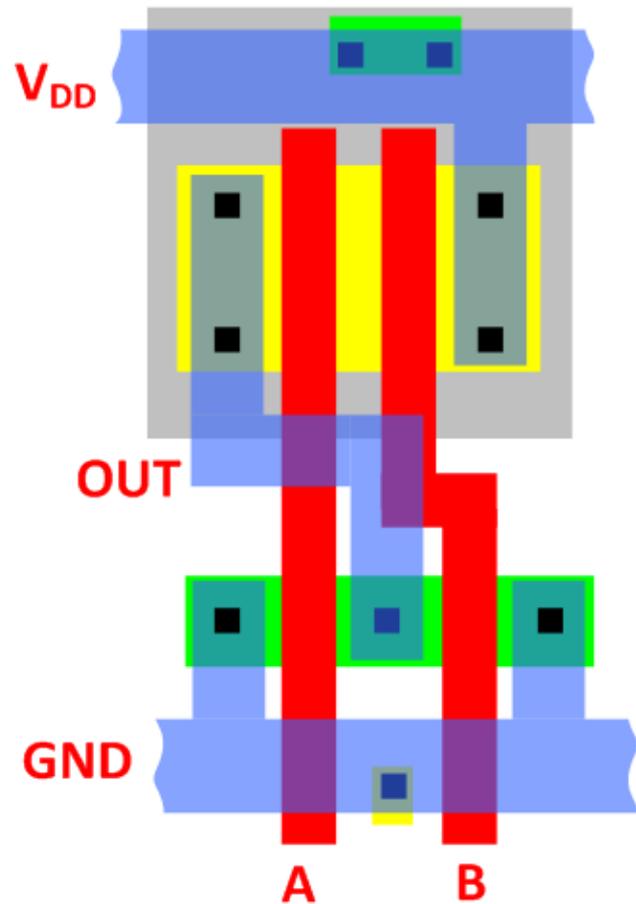
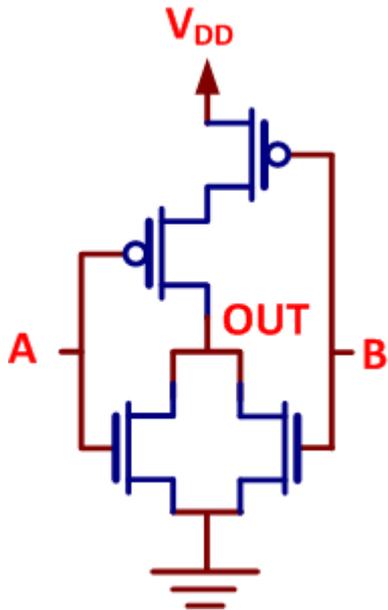


A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	0

➤ Esquemático



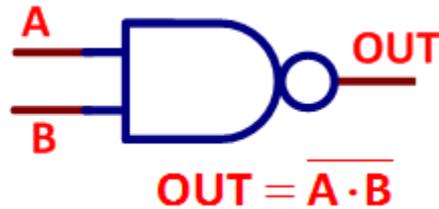
■ Layout de una puerta NOR



- Metal
- N-dif
- P-dif
- Polisilicio
- Contacto
- N-Well

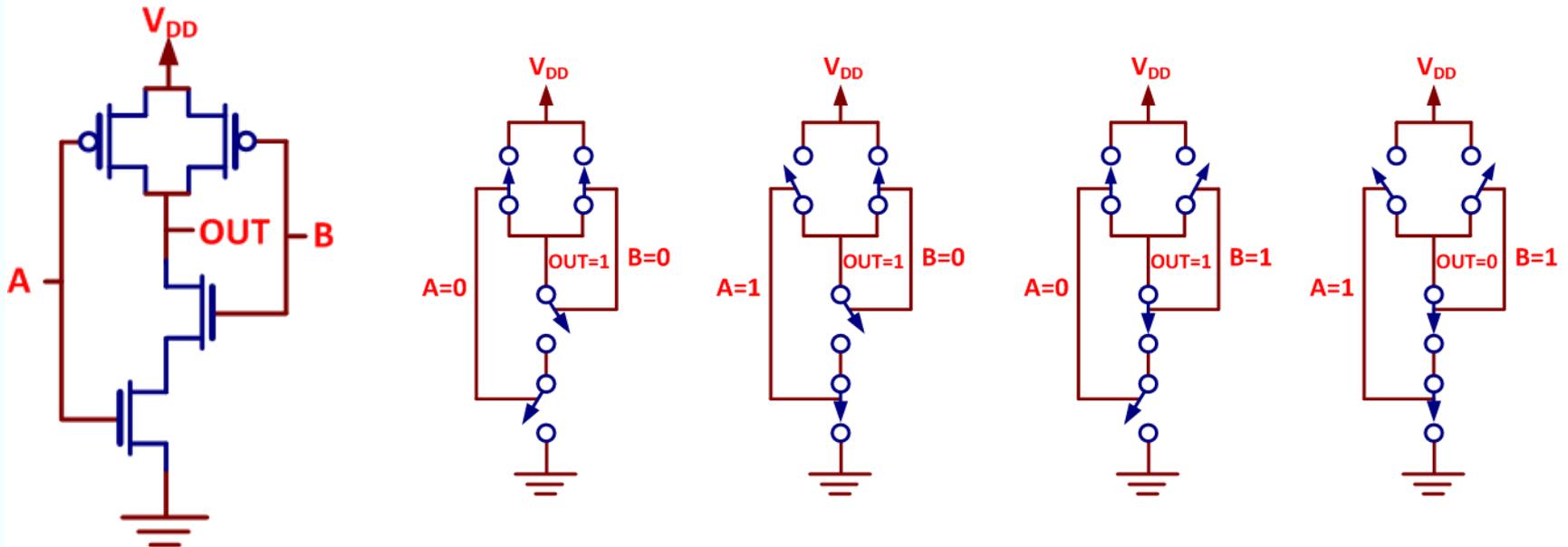
Puerta NAND CMOS

➤ Símbolo y tabla de verdad

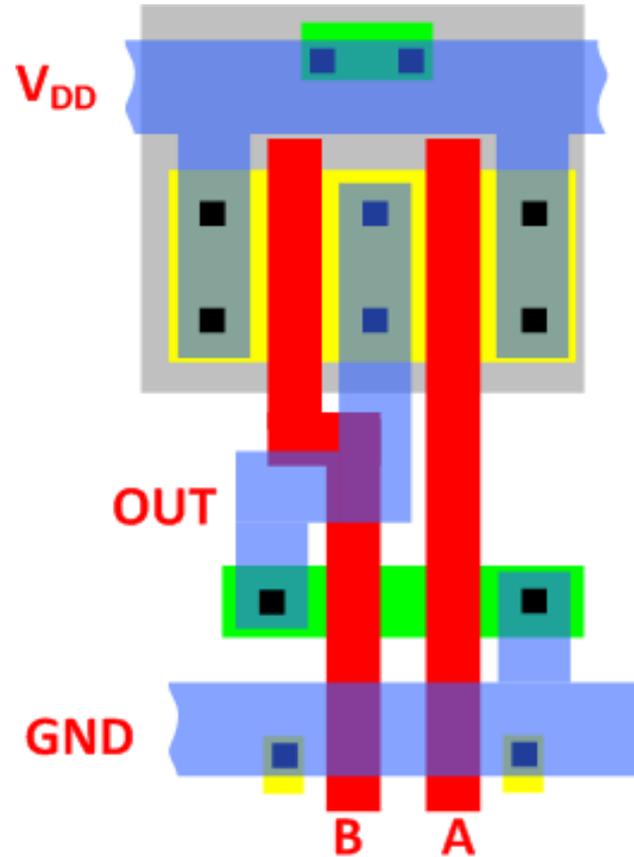
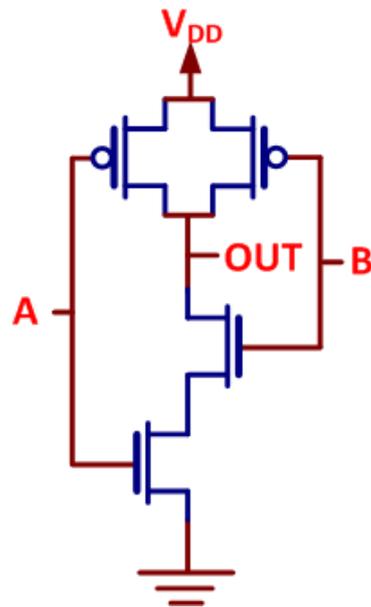


A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

➤ Esquemático



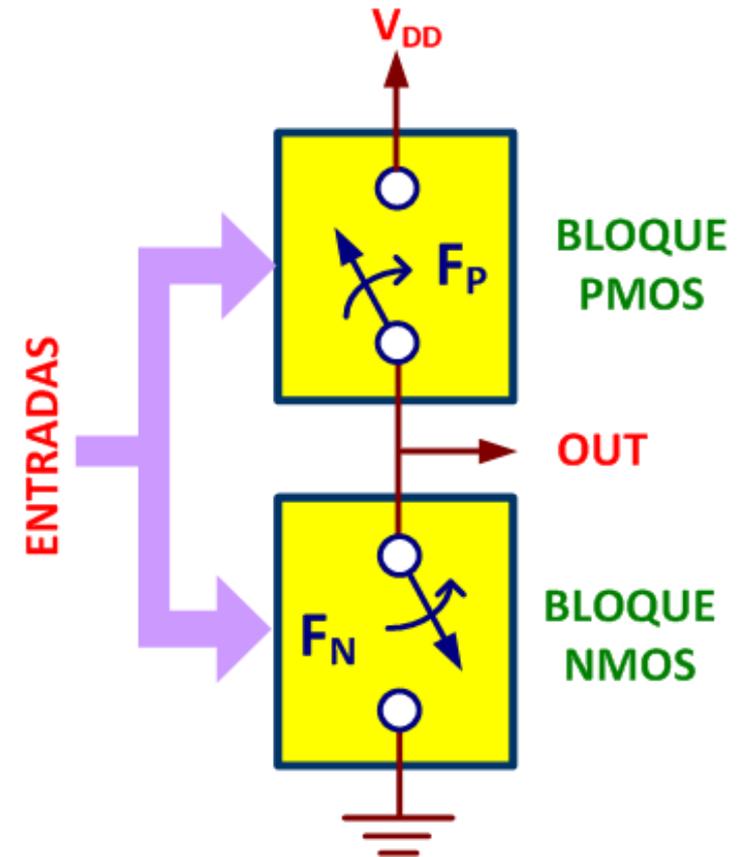
Layout de una puerta NAND



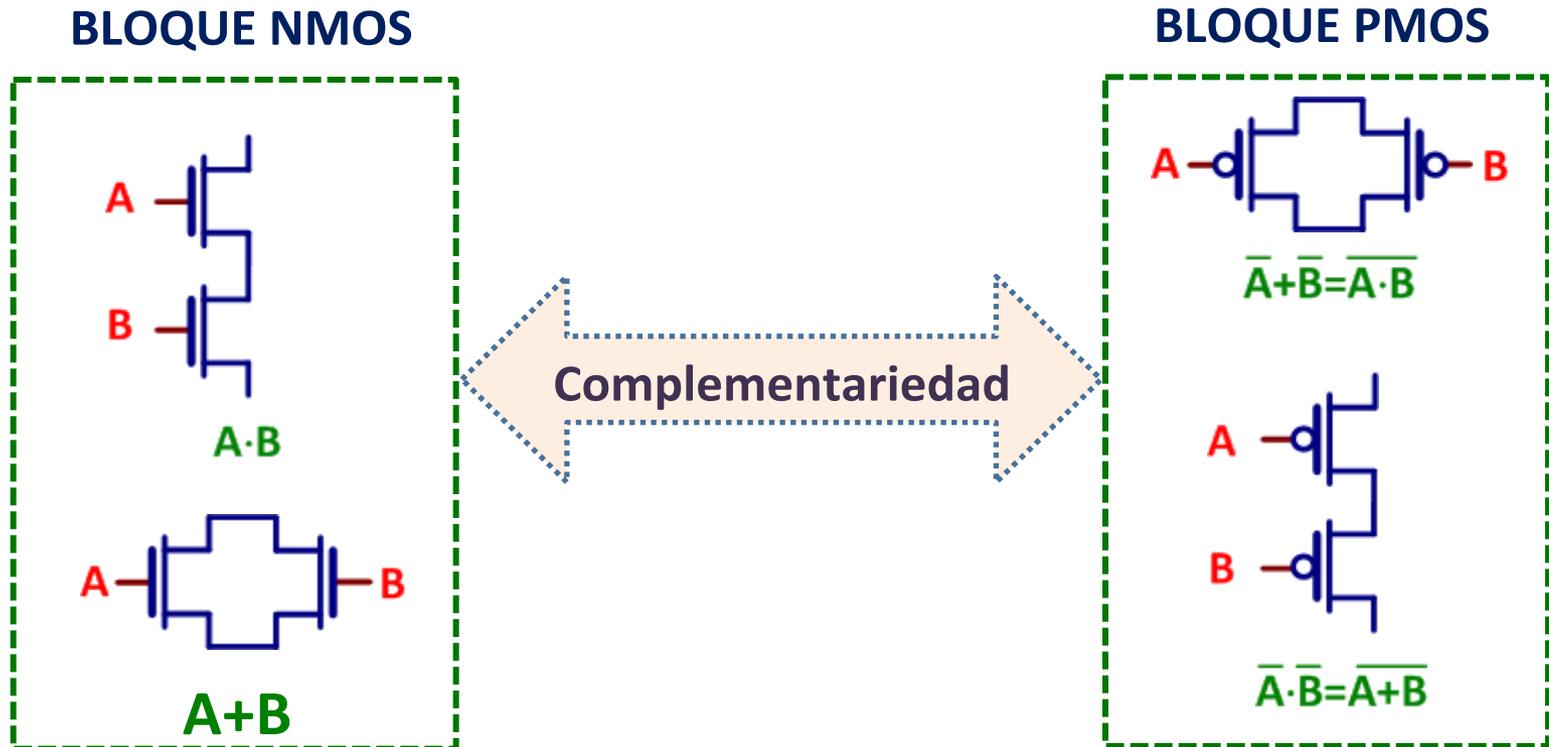
- Metal
- N-dif
- P-dif
- Polisilicio
- Contacto
- N-Well

Puertas complejas CMOS

- Una puerta estática CMOS es una combinación de dos bloques de transistores : Bloque PMOS (conectado a V_{DD}) y bloque NMOS (conectado a GND).
- En el estado estacionario, solo conduce un único bloque:
 - PMOS: $OUT = V_{DD}$
 - NMOS: $OUT = GND$
- F_p es la función lógica que realiza el bloque PMOS y F_N es la del bloque NMOS.
- Desde el punto de vista lógico se verifica: $OUT = \overline{F_N} = F_p$



- En la construcción de cada uno de los bloques se utilizan asociaciones de transistores en serie y paralelo.
- Es condición imprescindible que exista complementariedad: transistores en serie en un bloque implica transistores en paralelo en el otro bloque, y viceversa.



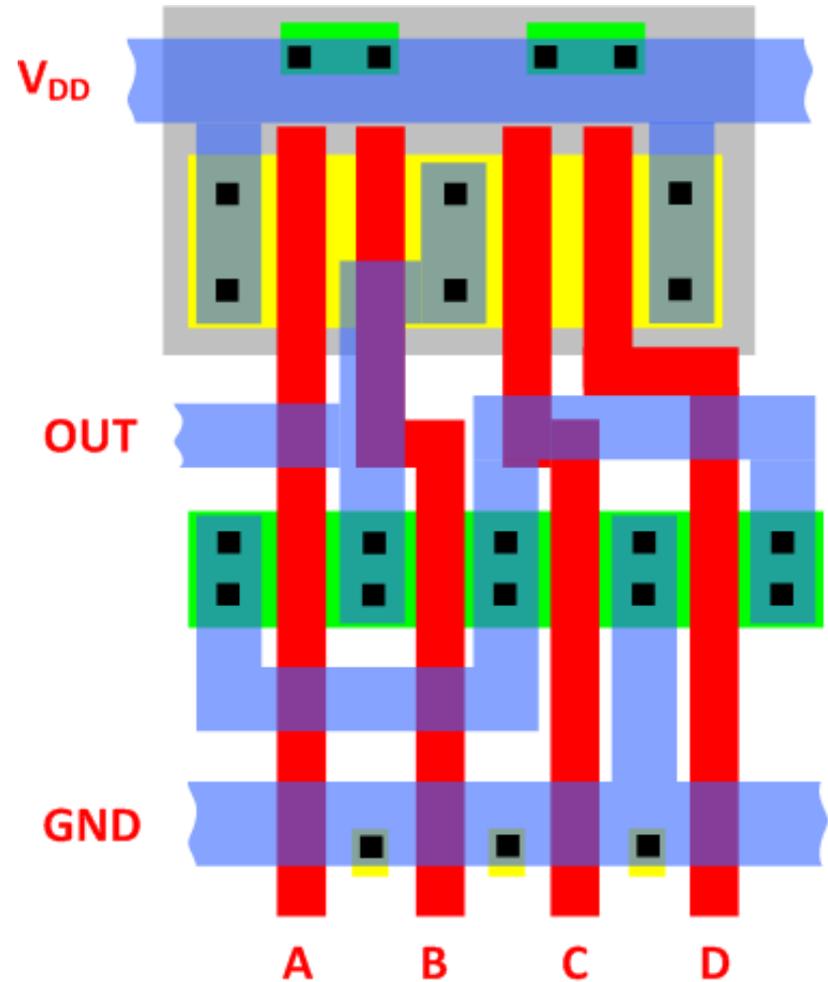
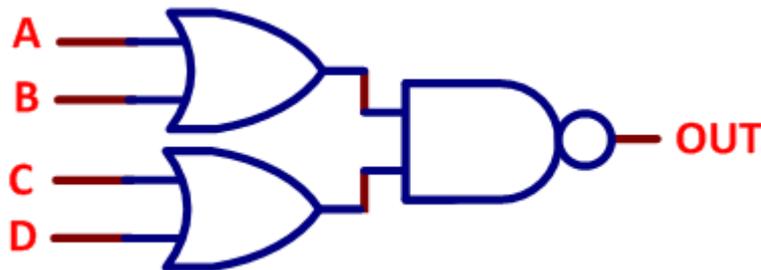
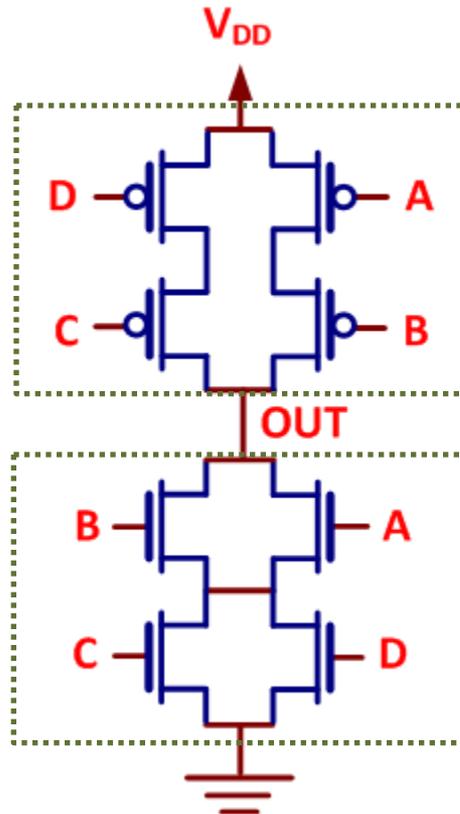
■ Ejemplo de puerta compleja

$$F_p = \bar{A} \cdot \bar{B} + \bar{C} \cdot \bar{D} =$$

$$= \overline{(A+B)(C+D)}$$

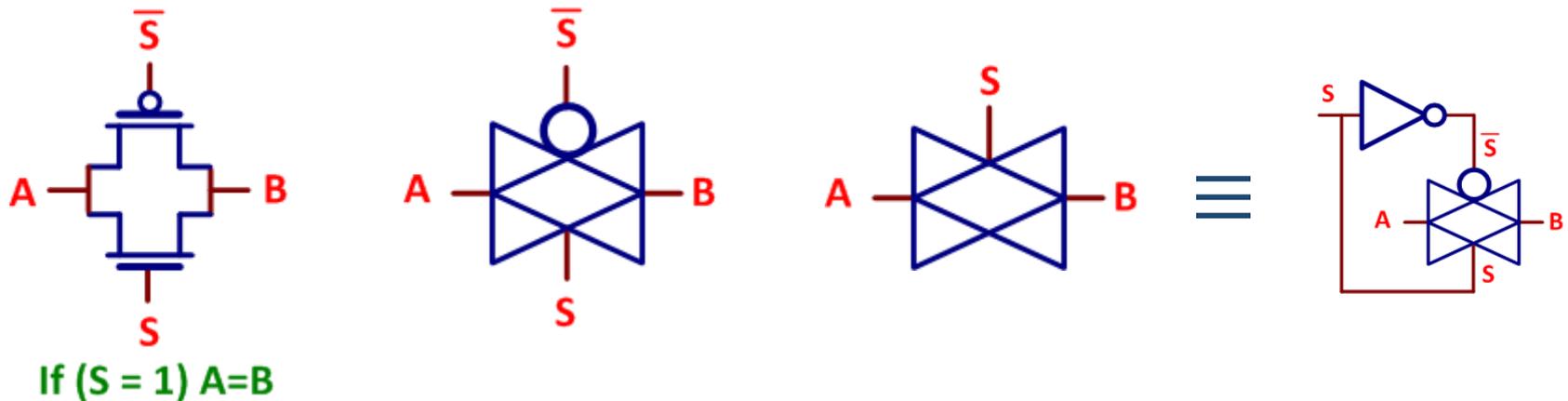
$$\text{OUT} = \bar{F_N} = F_p$$

$$F_N = (A+B)(C+D)$$



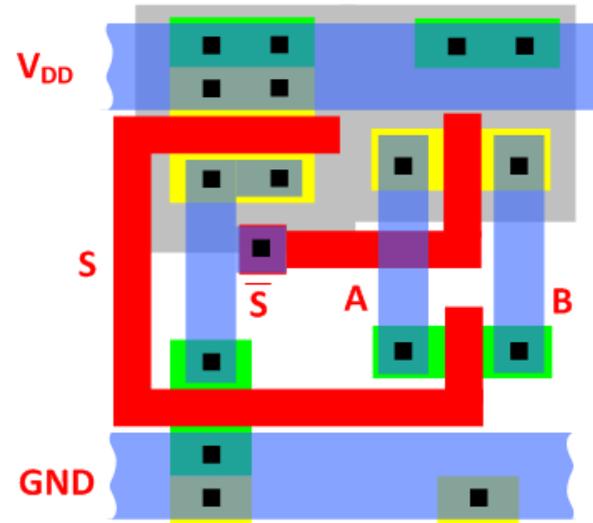
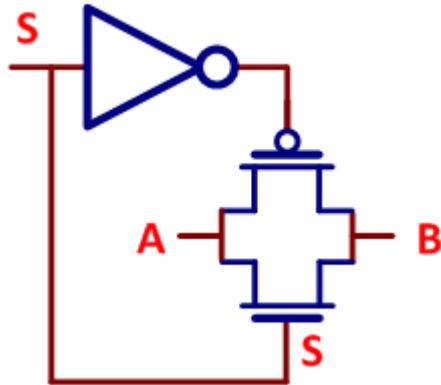
Puerta de transmisión CMOS (*Pass Gate*)

- Una puerta de transmisión CMOS (TG o *Transmission Gate*) es una combinación de dos transistores en paralelo, NMOS y PMOS, que funcionalmente actúa como una llave (switch).
- Permite definir una nueva clase de circuitos lógicos para construir bloques funcionales.

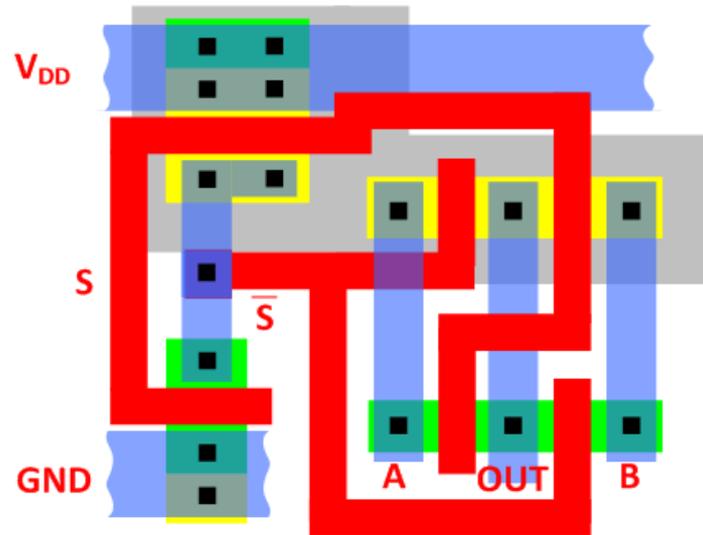
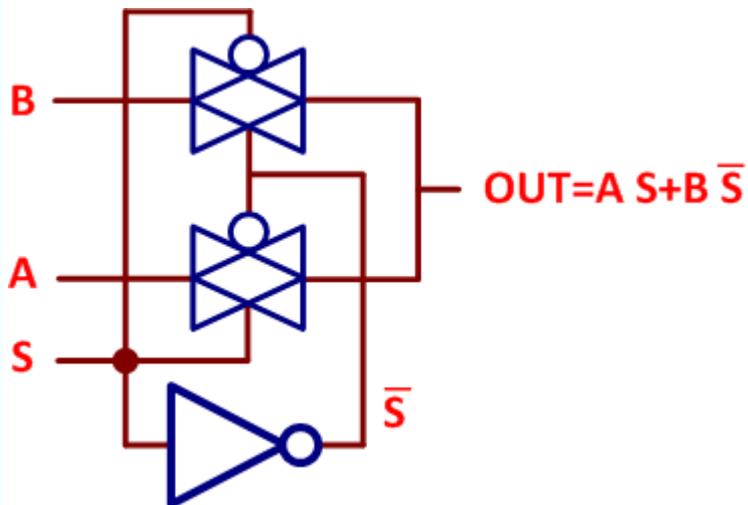


Diferentes representaciones de una puerta de transmisión CMOS

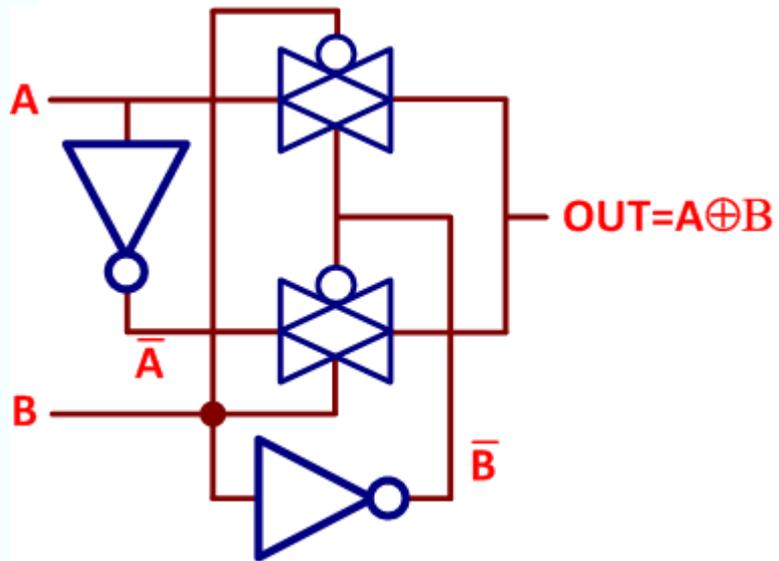
Layout de una puerta de transmisión



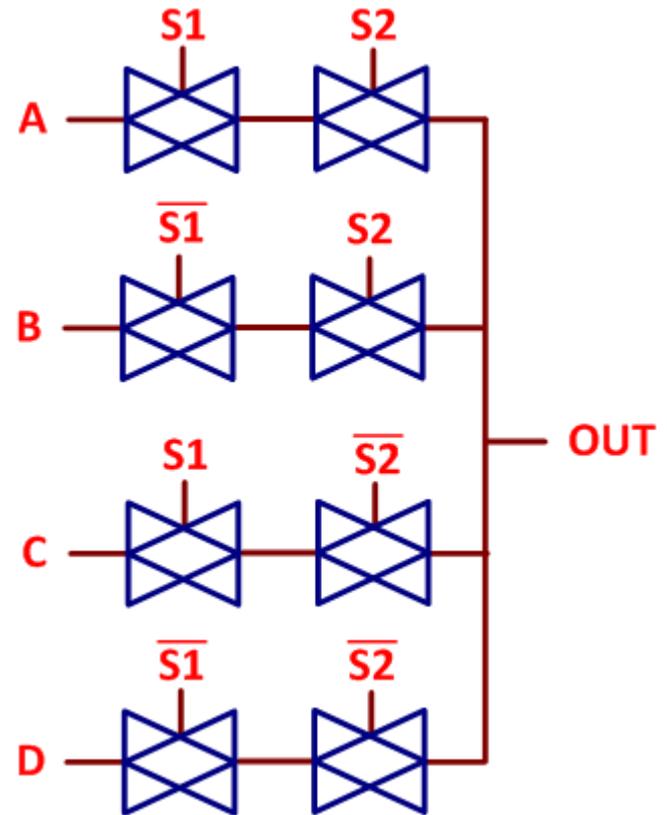
Multiplexor 2:1



■ EXOR

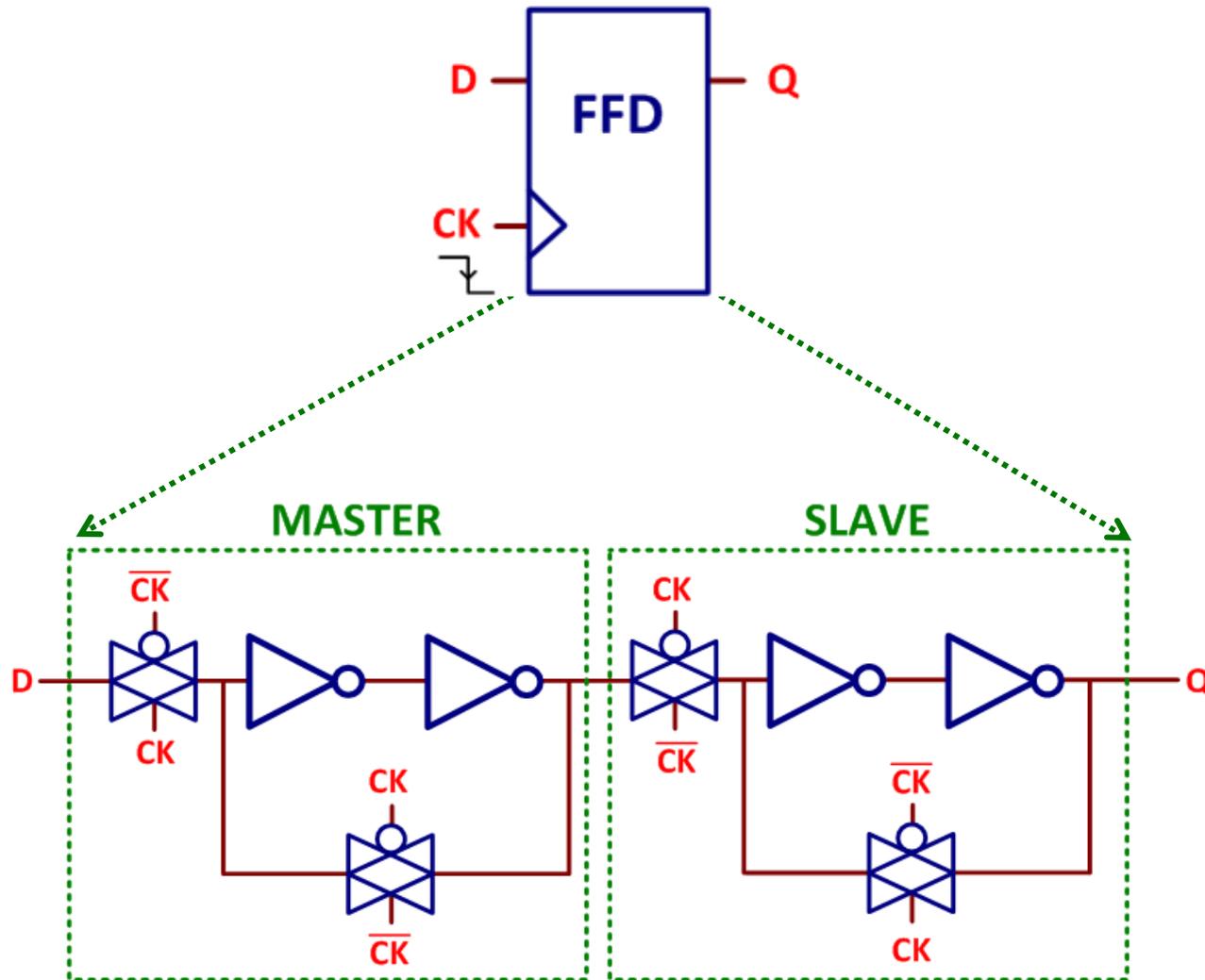


■ Multiplexor 4:1

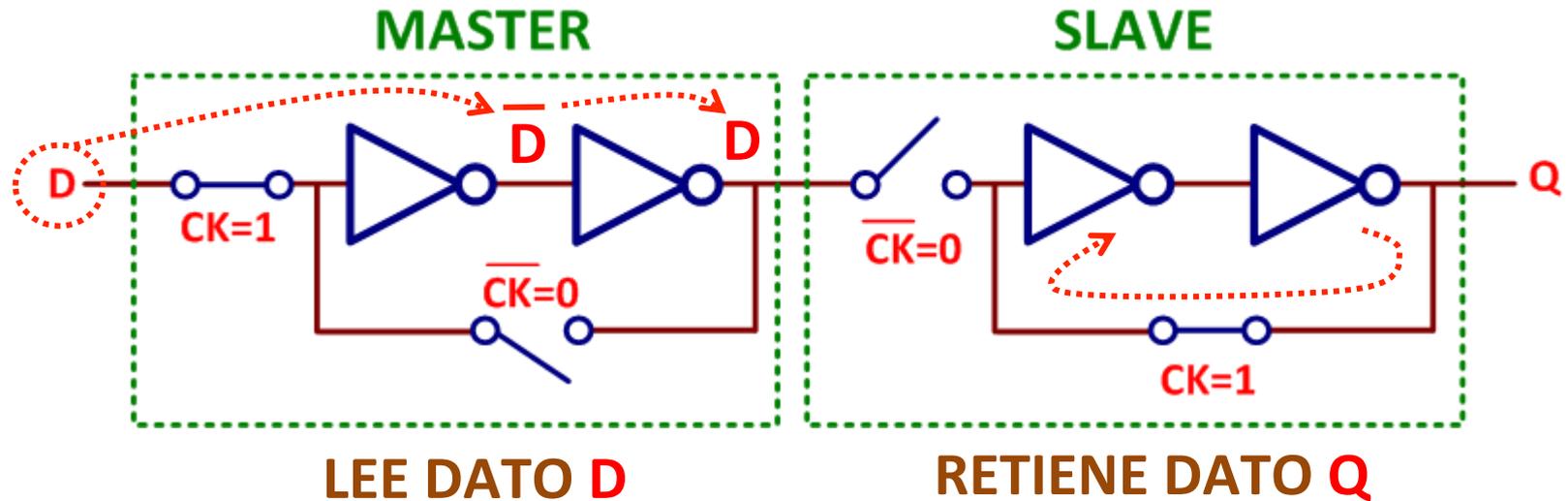


$$OUT = AS_1S_2 + B\overline{S_1}S_2 + CS_1\overline{S_2} + D\overline{S_1}\overline{S_2}$$

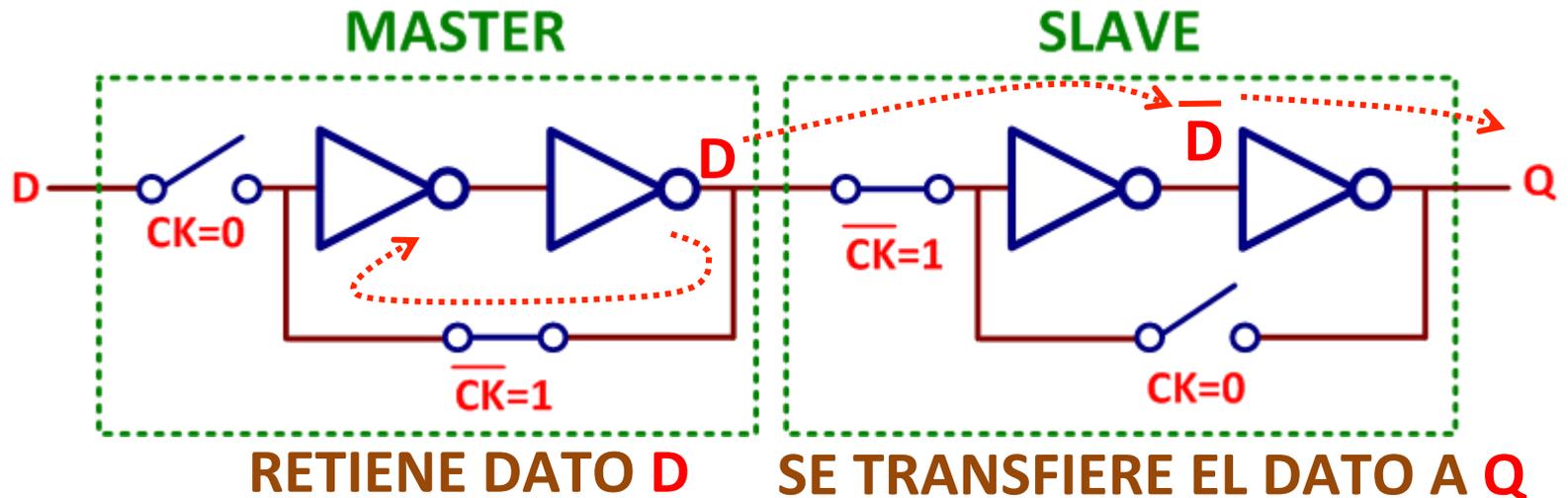
■ BIESTABLE D o FFD



- CLK=1, la etapa *Master* lee el dato D y la etapa *Slave* retiene el dato Q.



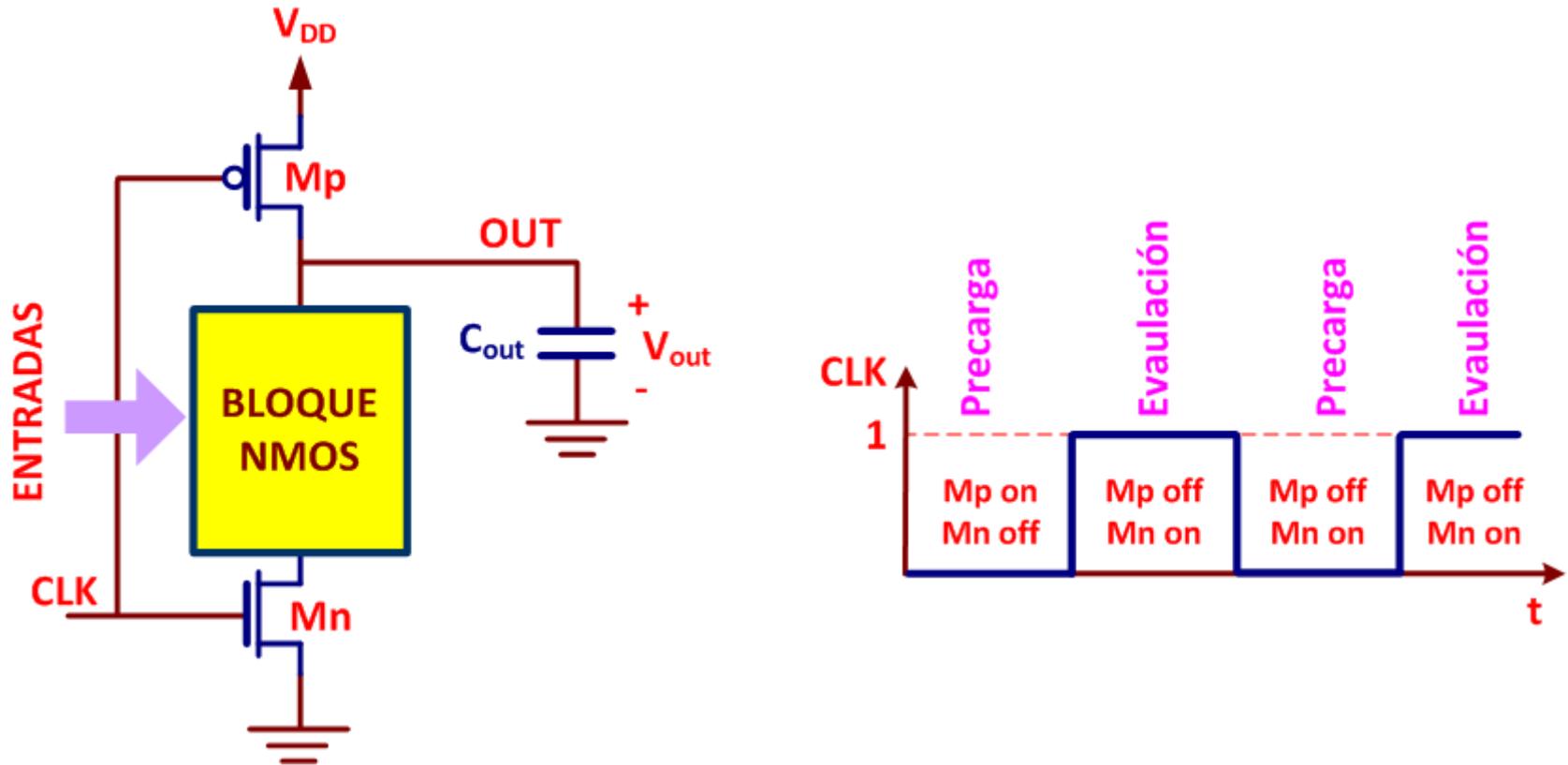
- CLK=0, la etapa *Master* retiene el dato D y le transfiere a la etapa *Slave*.



Lógica dinámica CMOS

- La lógica dinámica CMOS permite el diseño de circuitos de **alta velocidad** con una **reducida área** de ocupación.
- **Elimina** la mayoría de los transistores PMOS, por ser lentos y ocupar más espacio, y emplea señales de **reloj** para sincronizar las operaciones lógicas.
- Su modo de operación se basa en el **almacenamiento de carga** en nudos capacitivos parásitos. Esa carga debe ser refrescada periódicamente debido a que se **deteriora** por las corrientes de fuga.
- El diseño de estos circuitos se **complica** debido a sus características eléctricas más restrictivas.
- En algunos casos, disminuye la **potencia de disipación**.

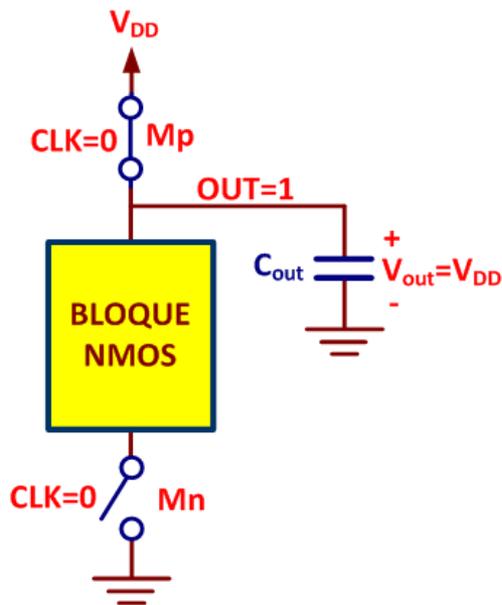
■ Estructura básica de una puerta dinámica



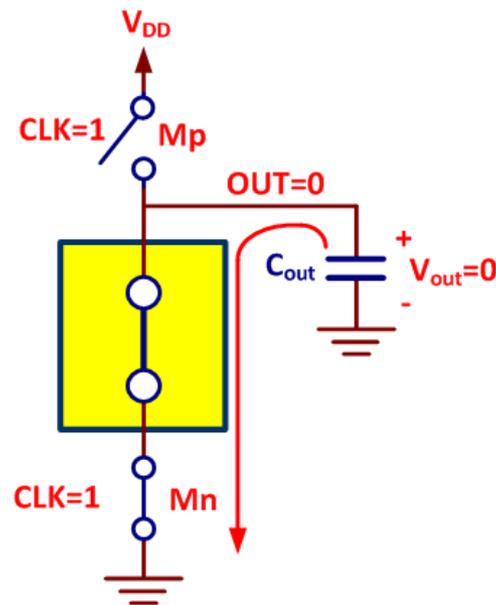
- El bloque NMOS está **aislado** de V_{DD} y GND a través de dos transistores, M_p y M_n , **controlados** por la señal de reloj CLK.

➤ CLK define dos modos de operación:

- CLK=0. **Precarga**. El condensador se carga a través de Mp. $V_{out}=V_{DD}$.
- CLK=1. **Evaluación**. Pueden darse dos situaciones:
 1. Las entradas del bloque NMOS habilitan algún camino de conducción a GND $\Rightarrow C_{out}$ se **descarga** a través de ese camino $\Rightarrow V_{out}=0$.
 2. Las entradas del bloque NMOS NO habilitan ningún camino de conducción a GND $\Rightarrow C_{out}$ **retiene** la carga $\Rightarrow V_{out}=V_{DD}$.



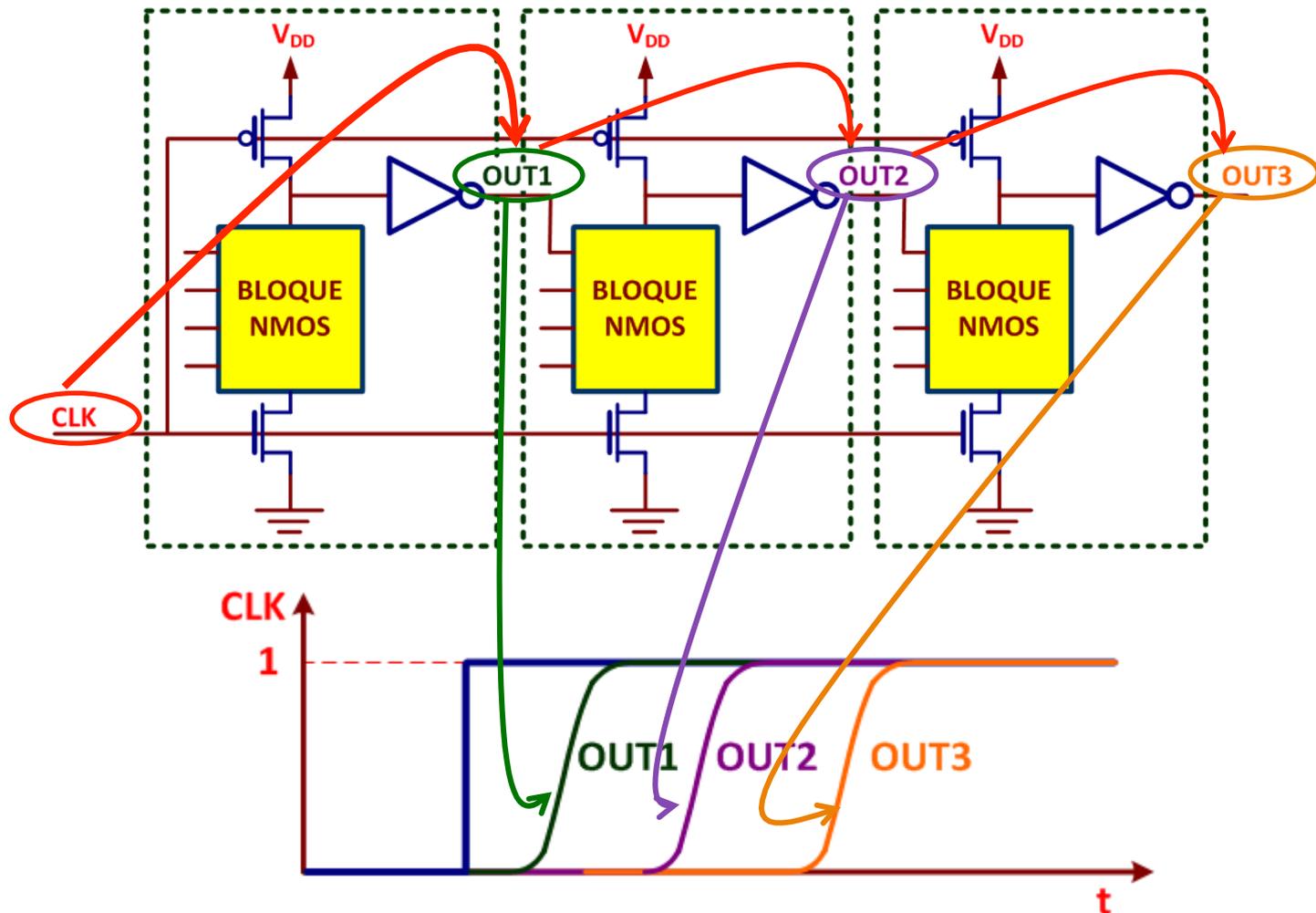
Precarga



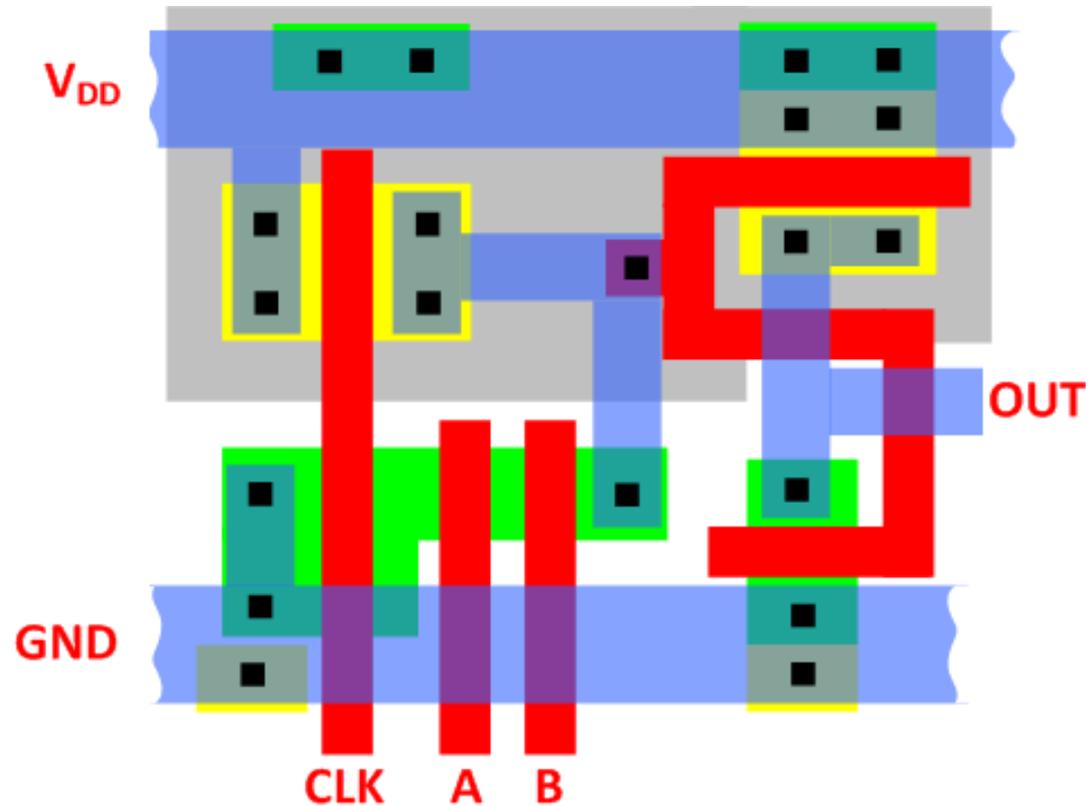
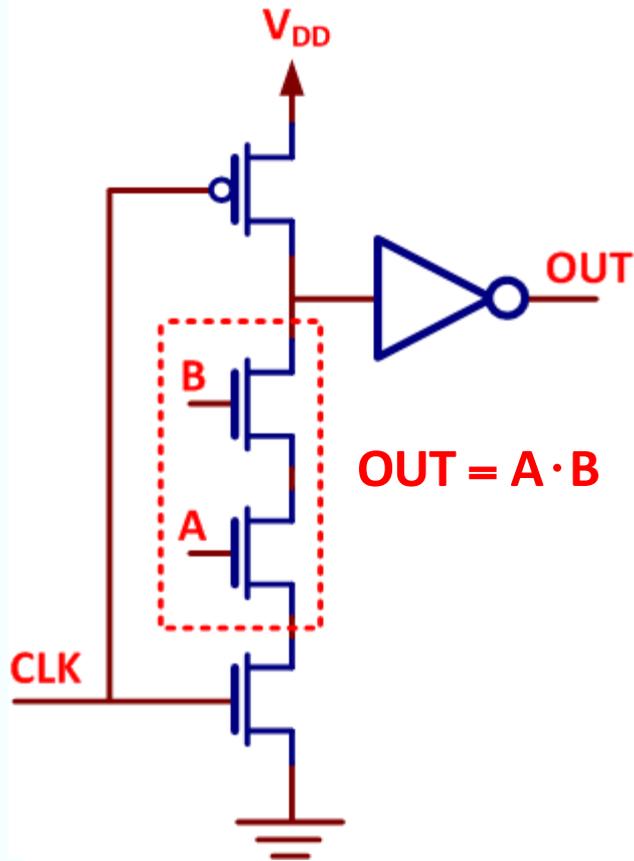
Evaluación

■ Lógica dinámica dominó

- Es una lógica dinámica con un inversor a su salida para evitar errores temporales.



■ Ejemplo de puerta dominó



- La lógica dominó es no-inversora, es decir, no se pueden construir funciones lógicas inversoras.