

PRÁCTICA 3

Biestable D. Análisis y síntesis de circuitos secuenciales

Objetivos

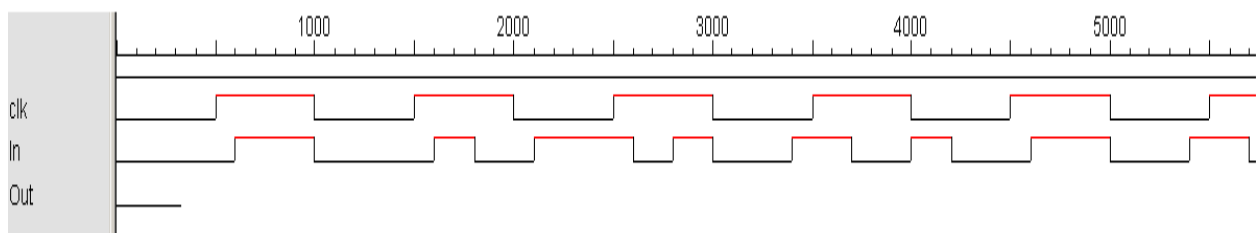
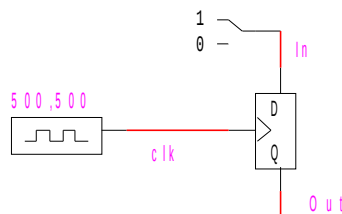
Después de realizar esta práctica, el alumno deberá:

- 1) Conocer el funcionamiento del biestable D activado por flanco.
- 2) Analizar circuitos secuenciales: análisis lógico: dado el circuito, obtener el grafo de estados y la tabla de transiciones/salidas. Análisis temporal: obtener el tiempo de ciclo mínimo. Saber distinguir entre circuito tipo *Moore* y *Mealy*.
- 3) Diseñar e implementar circuitos secuenciales: a partir de la descripción funcional, obtener la tabla de transiciones/salidas, el grafo de estados y construir el circuito.


Desarrollo 1

Funcionamiento del biestable D (*Flip-Flop*):

Dado el circuito de la figura, rellenad el siguiente cronograma con el valor que tomará la señal Out en cada instante de tiempo. Suponed que el tiempo de propagación del biestable es 100



Comprobar el resultado mediante simulación, teniendo en cuenta lo siguiente:

1. Para definir la señal de reloj: una vez puesto en la hoja de edición de circuitos, botón derecho sobre el dispositivo → *Attributes* → *Delay.Dev* . La primera cifra que se escriba es el tiempo que el reloj permanece a 0 y la segunda el tiempo que permanece a 1 (en nuestro caso, 500 500)
2. En el simulador cada paso temporal depende de los dispositivos del circuito. Para generar un cronograma como el propuesto, nos conviene que los pasos sean de 100 o menos: podemos conseguirlo añadiendo al circuito un reloj (sin conectarle) con retardo 100 100, o menor
3. Para simular paso a paso: 

Desarrollo 2

Análisis de un circuito secuencial:

El circuito *CLS-3* es un circuito secuencial en el que se observan tres entradas (x , y , Clk) y dos salidas (u , v). La implementación consta de puertas básicas (*And-2*, *Or-2*, *Not*), una puerta *Xor* y dos biestables D

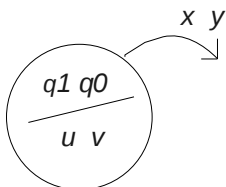
¿Cuál es el número máximo de estados del circuito y porqué?

¿Es un circuito tipo MOORE o MEALY? ¿Porqué?

Análisis lógico: obtener el grafo de estados del circuito, mediante simulación. Para eso hay que tener en cuenta:

1. Las salidas de los biestables ($q1$, $q0$) codifican el estado actual (estado del circuito en el ciclo actual) y las entradas de los biestables representan el estado siguiente (estado del circuito en el ciclo siguiente)
2. La transición de un estado a otro dependerá del valor de las entradas (x , y) en el momento en el que cambia el ciclo
3. Es mejor conectar un *BinarySwitch* en la señal *Clk*, que un dispositivo *Clock*. Esto permite controlar a nuestro antojo la señal de reloj.
4. El grafo debe estar completo: en cada estado tienen que estar representadas todas las posibles transiciones y las salidas asociadas

Grafo de estados:



Desarrollo 3

Análisis temporal de un circuito secuencial: obtener el tiempo de ciclo mínimo

Definiciones:

Tiempo de ciclo mínimo = tiempo de propagación del camino crítico

Camino crítico de un circuito secuencial = el camino con mayor tiempo de retardo, de entre todos los posibles caminos que van de biestable a biestable (atravesando circuitos combinacionales y ningún otro biestable), desde una entrada a un biestable ó desde un biestable a una salida.

A partir de las definiciones anteriores, determina el tiempo de ciclo mínimo del circuito *CLS-3*, suponiendo que las entradas y las salidas están conectadas directamente a biestables como los del circuito (todos ellos operando con la misma señal de reloj):

Camino crítico:

Tiempo mínimo de ciclo:

Desarrollo 4

Una vez analizado el circuito secuencial *CLS-3* vamos a modificar la implementación de la parte combinacional:

1. Obtén la tabla de transiciones/salidas del circuito. Para ello nos ayudamos del análisis que hicimos anteriormente (grafo de estados):

Tabla de transiciones/salidas:

$q1 \ q0 \ x \ y$	$q1+ \ q0+$	$u \ v$

2. Implementa el circuito combinacional (lógica del estado siguiente y lógica de salida) con una ROM.
3. Sustituye la parte combinacional del circuito *CLS-3* por la ROM que has creado y comprueba su funcionamiento. Deberías obtener el mismo grafo de estados que el del circuito original.

Desarrollo 5

Diseño y síntesis de circuitos secuenciales:

Especificaciones de funcionamiento del circuito que vamos a diseñar :

1. El circuito tiene dos entradas (In , R) y una salida (S), y su función principal es señalar el momento en el que han entrado 3 unos por la entrada In (no necesariamente de forma consecutiva), a partir de cierto instante.
2. Estando la señal R a uno (reset), no se contabilizan los valores de la entrada In
3. Estando la señal R a cero, cada ciclo que comienza con la señal In a uno se contabiliza (aunque la señal baje a cero durante el ciclo)
4. Cuando se cuentan 3 unos, la señal de salida S vale uno, y cero en cualquier otro caso, y el circuito vuelve a iniciar la cuenta en ese mismo ciclo (si R está a cero)
5. En cualquier ciclo que comience con R a uno el circuito reinicia la cuenta, independientemente del número de unos que se hayan contabilizado

Grafo de estados (Moore):

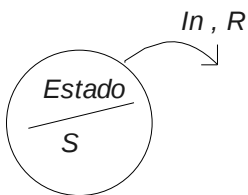


Tabla de transiciones/salidas:

Elige una codificación de los estados e Implementa el circuito con el mínimo número de biestables, utilizando una sola ROM (análogo a la implementación vista en Desarrollo4). Dibuja aquí el esquema del circuito resultante. Finalmente, comprueba el funcionamiento del circuito.

Repite el proceso, utilizando la implementación con biestables (uno por estado), desmultiplexores y puertas OR.