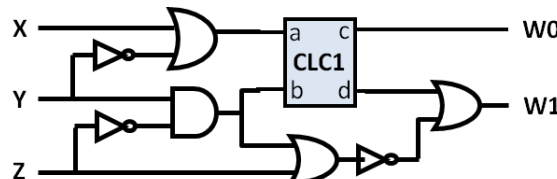


Ejercicio 1.- Dado el circuito de la figura inferior, su tabla de verdad, la especificación de CLC1 en el recuadro gris y los tiempos de propagación de las puertas lógicas: NOT = 10 u.t. AND = 20 u.t. OR = 20 u.t.:

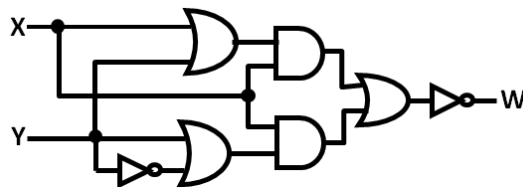
- (1p) Indica las puertas que atraviesa el camino crítico del circuito inferior, así como el tiempo de propagación de dicho camino.
- (0.5p) A la vista de la tabla de verdad del circuito (derecha), completa la tabla de verdad de CLC1 (salida c).

CLC1			
a	c	a b	c d
b	d	0 0	? 0
		0 1	? 0
Tp	c	d	
a	40	20	1 0 ? 0
b	55	25	1 1 ? 1



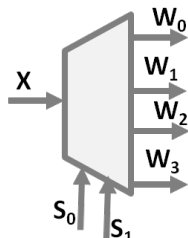
X	Y	Z	W0	W1
0	0	0	1	1
0	0	1	1	0
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0

Ejercicio 2.- Utilizando el mecanismo que consideres más adecuado, encuentra un circuito equivalente al de la figura inferior que pueda ser implementado con un número menor de puertas lógicas:

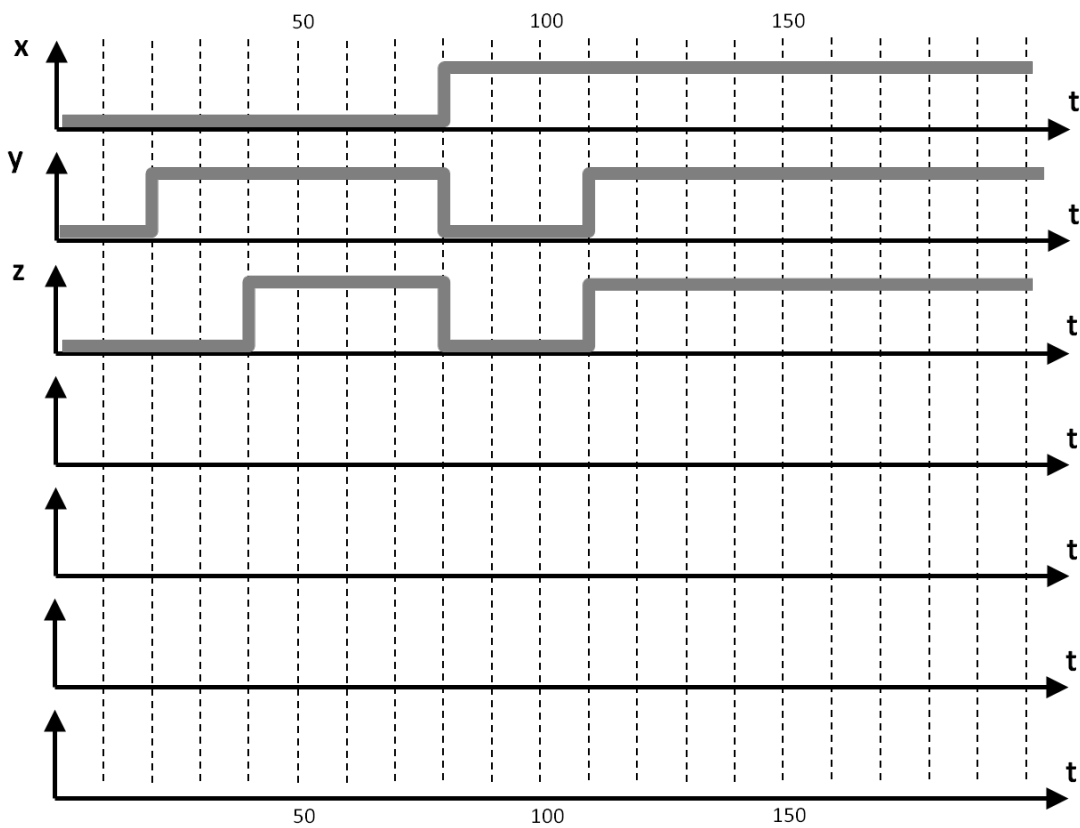
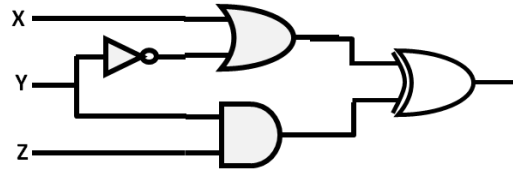


Ejercicio 3.- Dado el esquema inferior, correspondiente a un Demultiplexor con 1 entrada y 4 salidas:

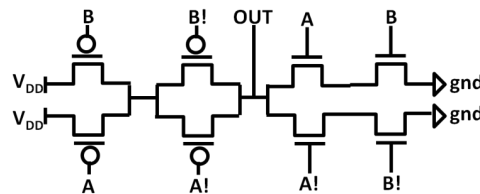
- (1p) Determina su implementación haciendo uso de una ROM con 4 salidas y el número de entradas que consideres necesario. Puedes utilizar la forma de representar la ROM que consideres más oportuna (Esquema interno completo, esquema interno simplificado, símbolo).
- (0.5p) Deseamos implementar un demultiplexor de 1 entrada y 16 salidas, pero solamente disponemos de ROMs como las que has utilizado en el apartado anterior. ¿Serías capaz de construir dicho circuito a partir del material proporcionado?:



Ejercicio 4.- Dado el esquema lógico del siguiente circuito combinacional y sabiendo que los tiempos de propagación de las puertas son: NOT: 10 u.t. OR: 20 u.t. AND: 30 u.t. XOR: 50 u.t. (para cualquier combinación de entradas), Obtén la forma de la señal de salida, a la vista de los datos del siguiente cronograma:

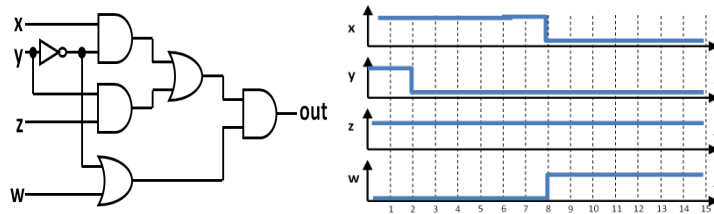


Ejercicio 5.- Dado el circuito de la figura inferior, formado por transistores CMOS, determina su tabla de verdad y si corresponde con alguna de las puertas lógicas que conoces:



Ejercicio 6.- ¿Cuál es la diferencia entre un CLS tipo Moore y uno tipo Mealy? Para cualquier circuito Moore, ¿Podemos encontrar un circuito Mealy con el mismo comportamiento funcional?

Ejercicio 7.- Dado el circuito inferior y la forma de onda de sus señales de entrada, determinar la forma de onda de la señal de salida si los retardos de cada puerta son los que se muestran a continuación: NOT = 1 u.t. AND = OR = 2 u.t.:

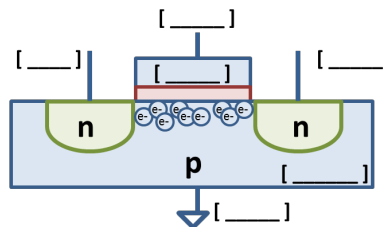


Ejercicio 8.- Dado el circuito inferior, determina el camino crítico y el tiempo de ciclo mínimo para su correcto funcionamiento. Suponer que las entradas y salidas están conectadas a biestables como los del circuito. Utilizar los siguientes retardos:

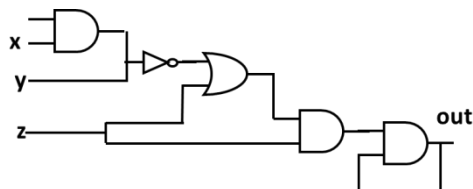
AND = OR = 20 u.t. NOT = 10 u.t. XOR = 50 u.t. FF = 80 u.t.

Ejercicio 9.- Diseña un circuito combinacional, en suma de minterms, que reciba como entrada dos números de 2-bits cada uno codificados en Ca2 y retorne como salida un bit que indique si la suma de dichos números produce overflow o no.

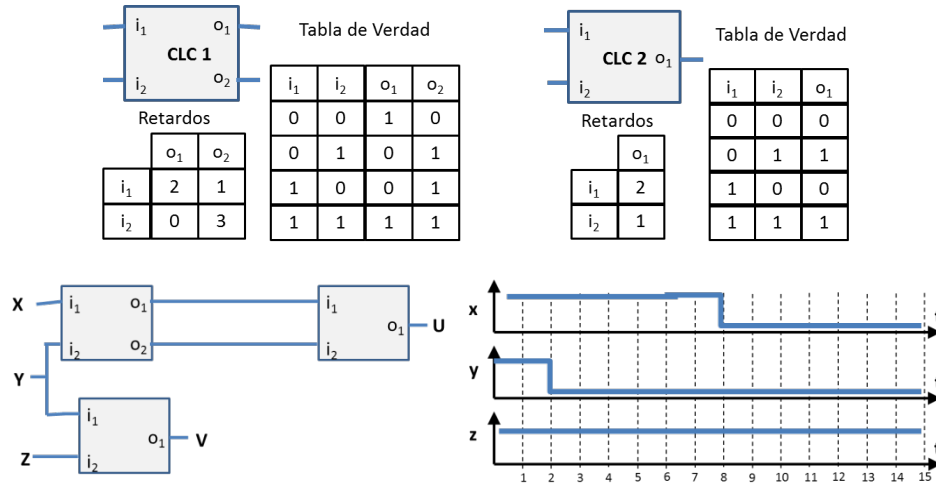
Ejercicio 10.- Dado el esquema de transistor nMOS de la figura inferior, nombra sus componentes y describe de forma esquemática su funcionamiento:



Ejercicio 11.- Dado el circuito combinacional de la figura inferior, determina qué errores observas en el conexionado de las puertas lógicas que lo forman:



Ejercicio 12.- Dado el circuito inferior, la descripción de los CLCs que lo componen y la forma de onda de sus señales de entrada, determinar la forma de onda de las señales de salida:



Ejercicio 13.- Dada la siguiente tabla de verdad, obtén la expresión lógica en suma de *minterms* de cada una de las salidas e implementa el circuito de las expresiones resultantes mediante puertas NOT, AND y OR (teniendo en cuenta que las puertas AND y OR tienen 4 entradas cada una):

x	y	z	u	v	w
0	0	0	1	0	1
0	0	1	0	0	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	1	1	0
1	1	1	0	0	1