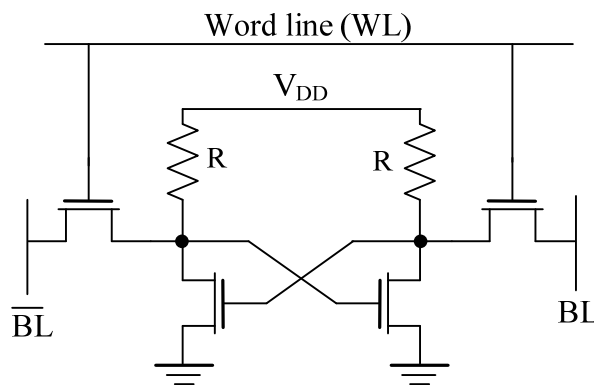


**Prob C.III.1.** Se desea diseñar una memoria RAM de  $2^{17} \times 8$  bits. ¿Cuántas líneas debe tener el decodificador de filas y columnas para que el CORE de la memoria tenga forma cuadrada?

\_\_\_\_\_ ◦ ○

**Prob C.III.2.** En la figura Prob C.III.2 se muestra el esquema de una celda estática RAM con carga resistiva. En el caso de  $WL=0$ , calcular el consumo estático de potencia si todos los transistores tienen un geometría de  $W=2\mu\text{m}$  y  $L=0.52\mu\text{m}$ .

Datos:  $V_{DD}=2.5\text{V}$ ,  $R=100\text{k}\Omega$ ,  $KP=33\mu\text{A}/\text{V}^2$ ,  $V_T=0.3\text{V}$ .



**Prob C.III.2**

\_\_\_\_\_ ◦ ○

**Prob C.III.3.** En la figura Prob C.III.3 se presenta el esquema de una celda de memoria ROM basada en una estructura NOR. Se pide:

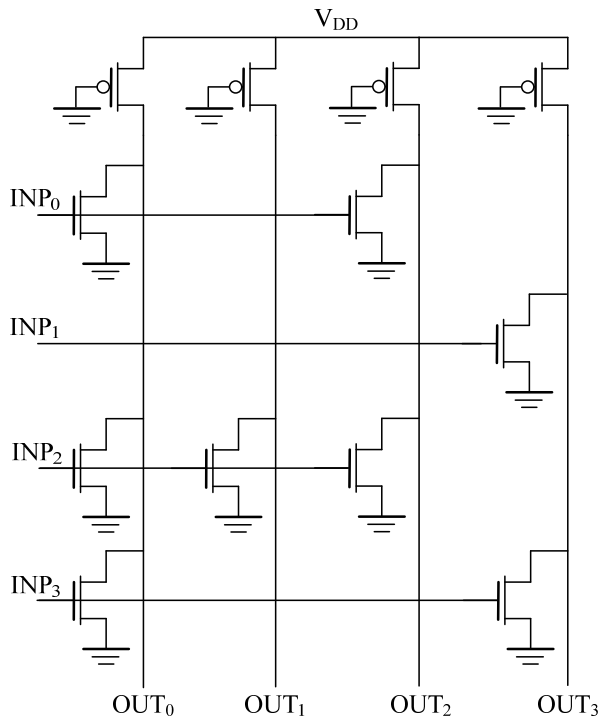
1. Extraer la función lógica que implementa cada una de las salidas.
2. Si se aplica las siguientes entradas  $\{INP_0, INP_1, INP_2, INP_3\} = \{0, 1, 0, 1\}$ ,  $\{1, 0, 0, 0\}$  y  $\{0, 0, 1, 0\}$ , ¿Cuál es el valor de la salida?

\_\_\_\_\_ ◦ ○

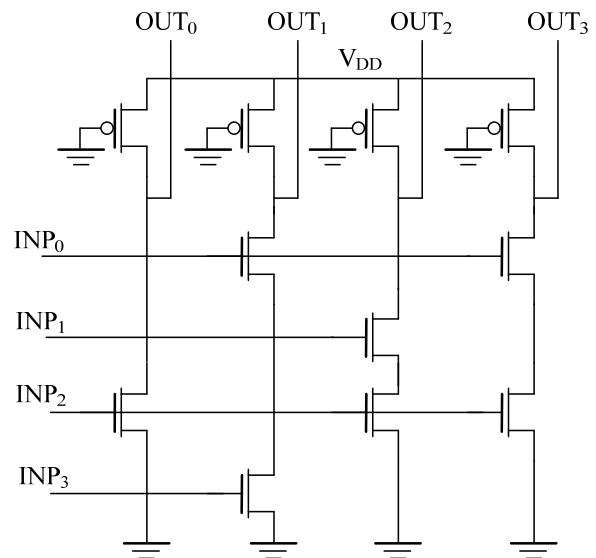
**Prob C.III.4.** Diseñar una celda ROM similar a la mostrada en la figura Prob C.III.3 que implemente las siguientes funciones lógicas:

$$\begin{aligned} OUT_0 &= \overline{INP_0 + INP_2} \\ OUT_1 &= \overline{INP_0 + INP_1 + INP_2} \\ OUT_2 &= \overline{INP_1 + INP_3} \\ OUT_3 &= \overline{INP_2 + INP_3} \end{aligned}$$

\_\_\_\_\_ ◦ ○



**Prob C.III.3**



**Prob C.III.5**

— ◦ ○

**Prob C.III.5.** En la figura Prob C.III.5 se presenta el esquema de una celda de memoria ROM basada en una estructura NAND. Se pide:

1. Extraer la función lógica que implementa cada una de las salidas.
2. Si se aplica las siguientes entradas  $\{INP_0, INP_1, INP_2, INP_3\} = \{0, 1, 0, 1\}$ ,  $\{1, 1, 0, 0\}$  y  $\{0, 0, 1, 1\}$ , ¿Cuál es el valor de la salida?

— ◦ ○

**Prob C.III.6.** Diseñar una celda ROM similar a la mostrada en la figura Prob C.III.5 que implemente las siguientes funciones lógicas:

$$OUT_0 = \overline{INP_0 \cdot INP_2 \cdot INP_3}$$

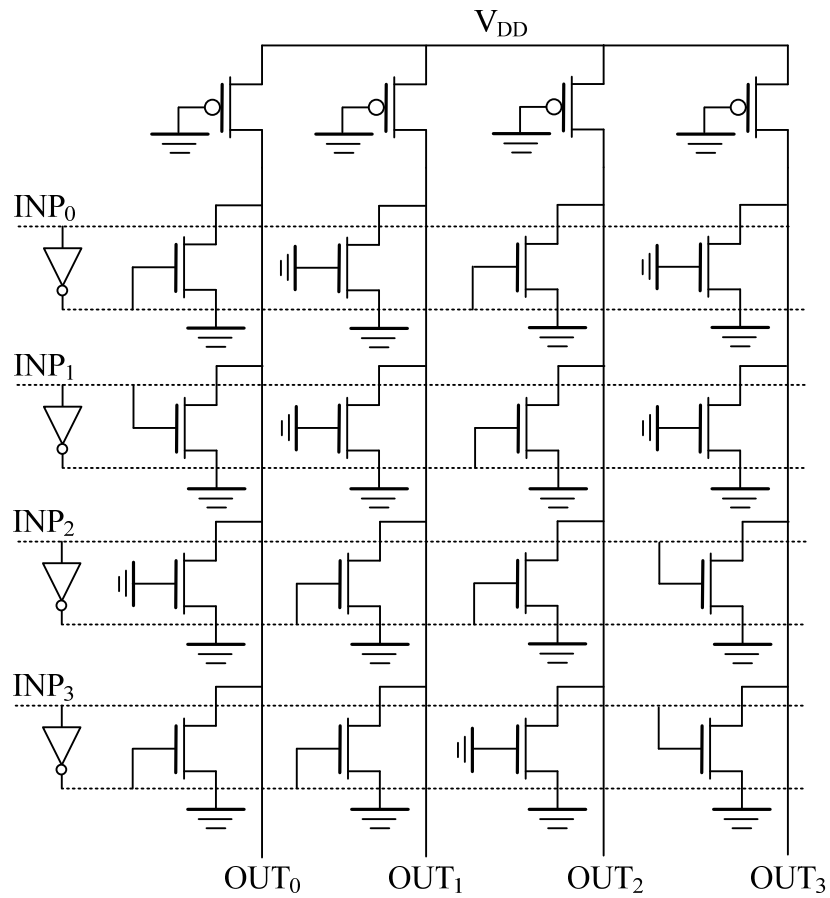
$$OUT_1 = \overline{INP_0 \cdot INP_1}$$

$$OUT_2 = \overline{INP_1 \cdot INP_2}$$

$$OUT_3 = \overline{INP_2 \cdot INP_3}$$

— ◦ ○

**Prob C.III.7.** En la figura Prob C.III.7 se muestra un celda ROM configurable. Está basada en una matriz de transistores cuya puerta se puede conectar a una entrada o su complementaria, o a Gnd para poner ese transistor a off. Determinar la función lógica que implementa.



**Prob C.III.7**

— ○ ○

**Prob C.III.8.** Basada una celda ROM similar a la mostrada en la figura Prob C.III.7, configurar la celda para que implemente las siguientes funciones lógicas:

$$OUT_0 = \overline{INP_0} \cdot INP_1 \cdot INP_3$$

$$OUT_1 = INP_1 \cdot INP_2 \cdot INP_3$$

$$OUT_2 = INP_0 \cdot \overline{INP_2}$$

$$OUT_3 = INP_1 \cdot \overline{INP_2} \cdot \overline{INP_3}$$

— ○ ○